

新思科技Galaxy平台提供签核导向 (Signoff-Driven) 的时序收敛工程变更指令 (ECO) 技术

March 2014

作者: 新思科技技术营
销售经理 James Chuang

摘要

随着芯片设计的复杂性与日俱增, 加上应用场景越来越广, 时序收敛 (timing closure) 流程也因此受到影响。

有很高一次性通过 (single-pass) 修正率的工程变更指令 (ECO) 技术, 可以减少从寄生参数提取 (extraction)、实现和最终签核的循环次数, 减少迭代 (iteration), 进而快速达成时序收敛。

本白皮书将说明时序ECO流程如何在单次运行中提供快速、可预测、以签核为导向 (signoff-driven) 的时序收敛。它包含一个新的物理感知 (physically-aware) 架构, 可以在一台机器或多个运算集群 (compute farm) 中运行, 也可以在含有超过一亿个实例 (instance) 的设计中运行。此外, 在时序收敛和签核阶段, 它还能将投片 (tapeout) 时程缩短数周。

前言

在先进的IC设计中, 对更高的性能以及更加丰富的SoC特性的需求意味着设计复杂性的增加。先进的工艺技术提高了芯片的元件密度 (device density) 和速度, 但也为物理实现 (physical implementation) 和时序收敛带来了新的挑战。

采用可预测的ECO流程能够在所有签核场景中避免出现违规情况, 而且也不会不慎造成新的违规, 因此能够减少最终签核所需的时序迭代次数。静态时序分析工具为实现工具提供可预测、具有签核准确度的导引技术, 并具备以下特点:

- ▶ 能够修正设计规则限制 (design rule constraint, DRC)、建立 (setup) 和保持 (hold) 违规情况, 而且不会造成新的违规情况 (因而能够避免乒乓效应的出现)。
- ▶ 在所有场景中运用诸如先进片上变异 (advanced on-chip variation, AOCV)、参数化片上变异 (parametric on-chip variation, POCV)、基于路径的分析 (path-based analysis, PBA) 等用于降低悲观性 (pessimism reduction) 的技术。
- ▶ 将物理设计信息纳入考虑, 以实现最佳的结果质量 (QoR), 并减少已完成布局布线的的设计的主要扰动 (perturbation)。

当今的ECO导引解决方案必须具备可扩展性, 能够快速生成修改大型复杂设计, 这样一来, 设计团队才能快速找出和修复众多违规情况。

时序收敛需要以签核为导向的方法

实现工具运用时序导向算法进行布局、时钟树综合 (clock tree synthesis) 和布线。这些工具与签核时序工具共享时序引擎, 以确保物理设计和签核时序结果之间的紧密关联。

布局布线后仍会发生时序违规情况, 原因如下:

- ▶ 实现工具可能没有针对所有场景的限制条件 (constraint), 而这在签核阶段可能导致新的违规产生, 因为签核时序引擎会从这些新增的场景中找出违规情况。

- ▶ 设计复用 (design reuse) 正在不断增多。IP设计团队有时候会过度限制所选取的区块，以确保能够在高于当前设计所需的频率下运行。尽管这种方法能够让设计在其它芯片中被重复使用，但也会导致实现与签核工具之间出现时序限制差异。

当最终签核阶段出现违规情况时，设计团队需要一种能够快速、高效地结束消除时序违规的方法，这种方法如图1所示。

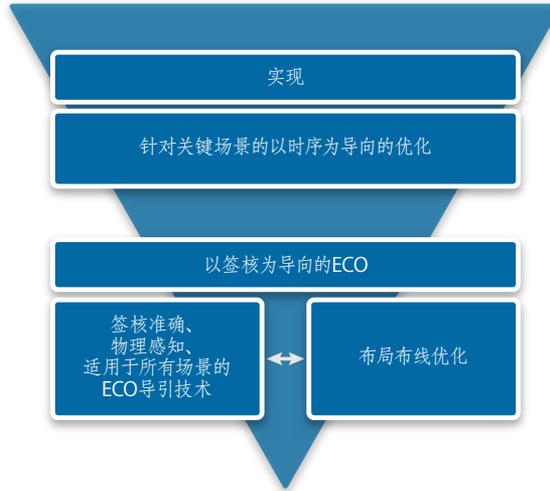


图1: 以签核为导向的时序收敛方法

首先，这种以签核为导向的时序收敛方法使用针对重要场景的物理实现工具达到优化设计的目的。实现工具采用一系列广泛的优化和转换技术，能够实现最佳的结果品质。然后，利用签核准确、物理感知、适用于所有场景的时序分析以及布局布线工具，完成最后阶段的ECO。

基于时序快照 (timing Snapshot) 的ECO解决方案无法满足先进设计的要求

某些设计团队利用ECO专用工具加快布线后 (post-route) 的设计收敛。然而，这些ECO时序收敛工具（即便是那些专门用于完成这个任务的工具）大多只是读取签核工具所提供的快照时序数据，然后再根据简单的估测，提出可能的修正方案。

当今的设计动辄包含数百万个实例 (instances) 和为数众多的场景 (scenarios)，因此大大增加了ECO时序收敛问题的复杂性。当运行ECO时，时序估测法无法正确预估诸如信号完整性 (signal integrity, SI)、PBA、波形传播 (waveform propagation)、AOCV或POCV等签核时序效应。因此，依赖于时序估测或非签核时序引擎的ECO解决方案更加不可预测，而且通常需要更多迭代才能达成时序收敛。

Synopsys Galaxy平台中以签核为导向的时序收敛ECO流程

图2显示了使用IC Compiler、StarRC和PrimeTime的ECO流程。它能为以签核为导向的时序收敛提供一条速度最快的路径。

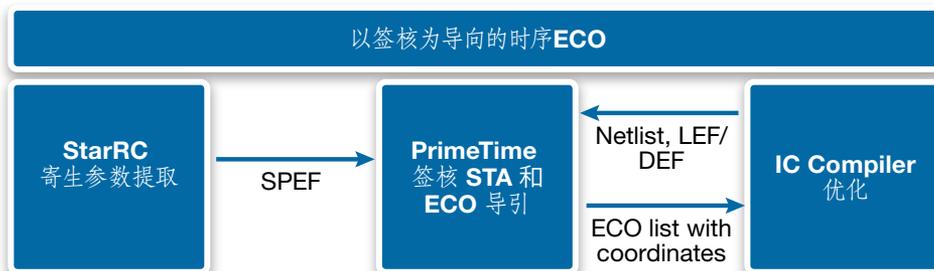


图2: Galaxy平台中的PrimeTime ECO导引技术

IC Compiler是一个全面的物理实现系统,包含适用于所有工艺节点的设计规划、布局、时钟综合和布线。它采用并发多角多模 (multicorner multimode) 优化技术,辅以一组强大的优化功能,能够确保以最快的周转速度获得最佳结果。

当设计人员完成实现阶段,进入时序收敛阶段时,使用签核准确的时序和提取工具进行ECO导引带来的优势便更显著。PrimeTime ECO导引技术使用由StarRC提取的准确寄生参数 (parasitics),为IC Compiler建立一个基于ASCII Tcl的修改文件,该文件专为IC Compiler而优化,包含物理位置信息,可确保实现的可行性。

该流程结合IC Compiler的优质实现与PrimeTime的大容量ECO导引技术,能够为所有场景提供快速、准确的时序收敛。

新的ECO导引技术具备可扩展性并可提升资源效率

在众多场景中,新的PrimeTime ECO导引架构无论是在运行时间还是在容量方面都具备可扩展性。这种方法不仅能够提供可预测的结果,同时还能以一种快速、内存效率更高的方式为实现工具提供ECO导引。PrimeTime ECO导引技术采用以下专利技术:

- ▶ ECO 时序图 (ECO timing graph)
- ▶ 复合视图 (composite graph view)
- ▶ 校准估测 (calibrated estimation)

第一项新技术—ECO时序图—捕获所有与设计相关的部分,包括违规的端点以及这些端点的时序裕量 (slack value)。可为每个场景快速、高效地创建这个时序图。

该技术会根据时序图片段的相对重要性对违规情况进行优先排序,每个片段代表“每个阶段”的时序裕量。有了这种方法,便不再需要进行反复的瓶颈分析,以找出修正的优先顺序,因此可快速完成流程。

第二项新技术—复合视图—由多个时序图创建,提供一个涵盖所有场景中所有违规情况的全局视图。ECO算法引用复合视图,在不影响其它场景的情况下,做出针对某个场景的修正决策。

图3中所示的视图包含了所有场景,能够针对某个场景的任何变更建议进行快速的影响分析,找出该变更对其它场景带来的影响。这种参照复合视图的ECO算法可以使得针对某一场景的修改不会影响其他的场景。

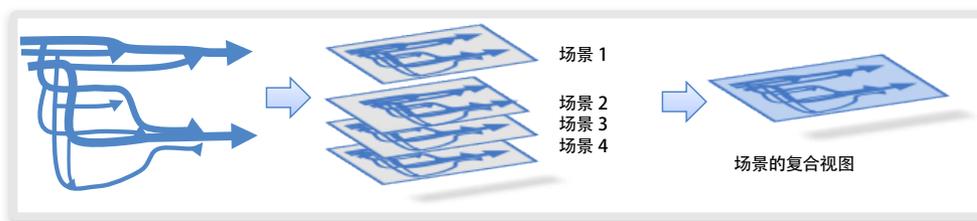


图3: 复合时序图涵盖所有场景

PrimeTime ECO导引技术中的第三项创新技术—校准估测—能够针对时序违规快速评估所有修正选项,而且在无须进行全面时序分析的情况下,就能估测所有选项的结果。然后,它利用“所有场景”时序视图的签核准确的时序数据对结果进行校准,而这依赖于信号完整性、波形传播、AOCV等所有分析技术。如图4所示,该技术为相关元件快速确认和选择最佳的导引决策。

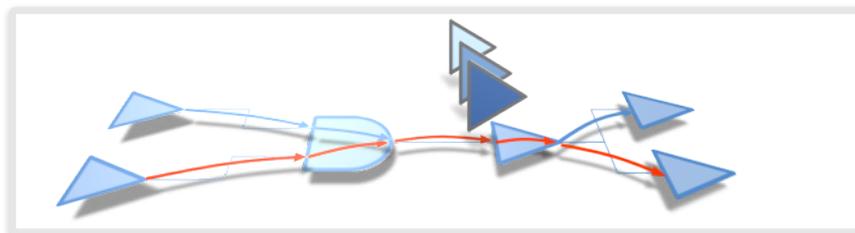


图4: 校准估测

这个方法比全面时序分析的速度快得多,而且能够改进每单元 (cell) 运行的周转速度。通过快速有效地评估所有场景的所有可能导引选项,校准估测技术能够实现高度可预测的结果,而且几乎不需要改变网表。

物理感知技术可减少ECO迭代

芯片设计的布局布线拓扑结构通常可以实现最佳的单通修正率，而且对于物理设计的影响最小。新的PrimeTime ECO技术采用轻量少量物理层面信息，能够使用物理信息创建复合时序图，同时又不影响工具的性能或容量。

借助现有的布局信息，PrimeTime ECO可以将布局拥塞 (congestion) 和堵塞 (blockage) 考虑在内，并提供准确、包含位置信息的ECO导引。根据目标位置进行原始网线上寄生参数的分离，并重新计算单元、线上延迟和串扰 (crosstalk) 效应，准确的ECO时序估测将能实现。包含位置信息的ECO导引以及准确的时序估测可确保实现后达成可预测的签核时序收敛。

此外，PrimeTime ECO还利用布线路径上的可用空间，提高拥塞区域的ECO修正成功率。将搜寻空间从驱动器端 (driver) 邻近区域或负载引脚 (load pin) 扩大至整个布线路径增加了缓冲器嵌入 (buffer insertion) 的可用空间。图5举例显示了布局感知 (placement-aware) ECO：

- ▶ 将单元尺寸扩展 (cell up sizing) 限制在可用的邻近空间中，以避免单元错置；
- ▶ 识别布局阻塞，并在路径中嵌入ECO缓冲器。

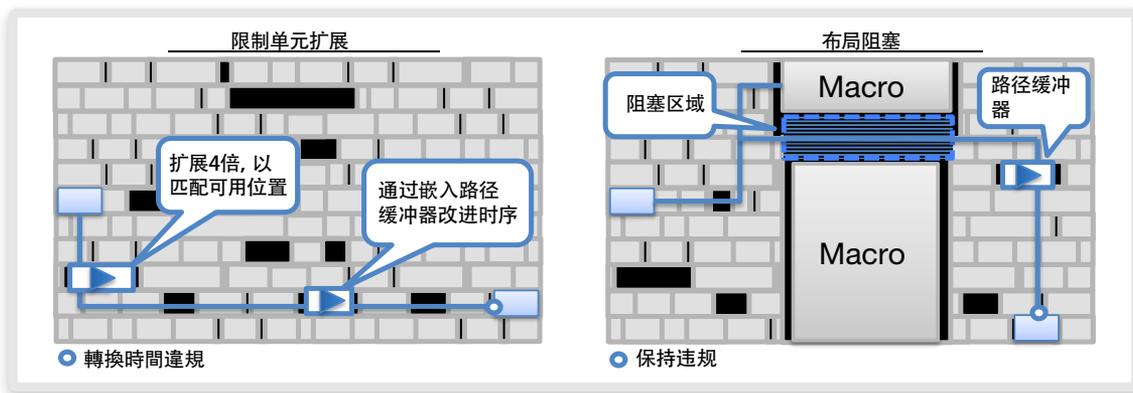


图5: 布局感知ECO的可预测结果

此外，就设计规则违规而言，要达到最佳修正很重要的一点是：将解可供选择空间扩展至布线路径。对于由线长或高扇出网络造成的DRC违规而言，沿着布线路径嵌入缓冲器是最理想的改进方法。图6举例显示了布线感知 (routing-aware) ECO如何根据路径拓扑结构嵌入缓冲器，针对max transition违规，改进修正率和结果质量

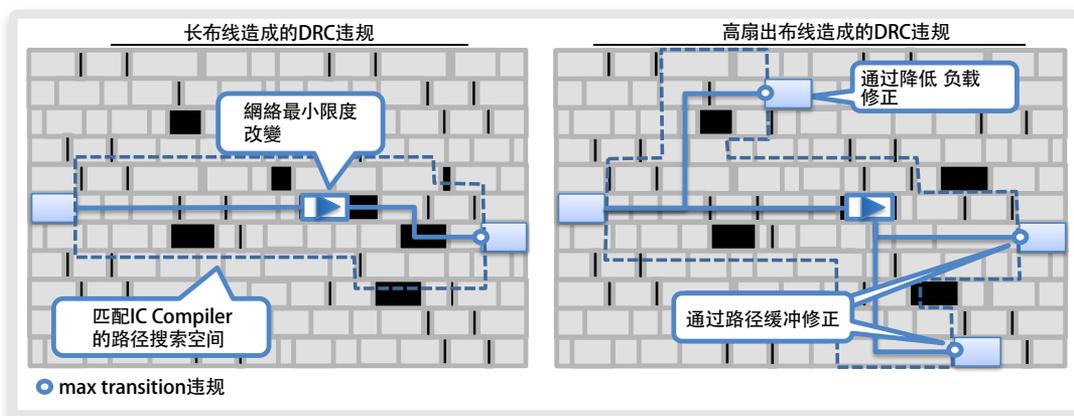


图6: 利用布线感知ECO改进修正率

最具挑战性的时序违规情况莫过于在目标引脚附近或沿着路径皆找不到可用空间，此时设计人员无须耗费大量时间进行手动修正，PrimeTime会在布局密度最低的目标路径上生成包含位置信息的ECO导引。在ECO实现合法化 (legalization) 阶段，实现工具可迁移该区域的单元，为ECO变更腾出可用空间。图7显示了ECO流程将布局密度考虑在内，并以有限的可用空间成功修正违规情况的一个例子。

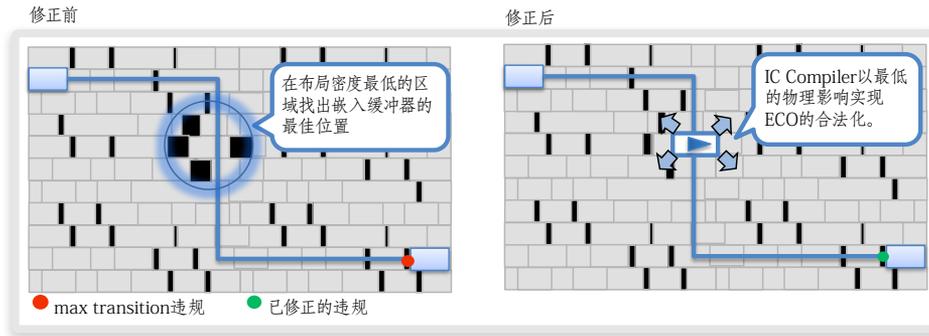


图7: 针对高度拥塞区域的布局密度感知ECO

虽然物理感知ECO可在布线路径中进行修正,但在那些包含复杂电压区域 (voltage area) 的先进设计中,识别电压域 (voltage domain) 对于能否成功达成时序收敛至关重要。在这些先进的芯片设计中,驱动器和负载引脚有可能位于同一个电压域中,而布线路径却有可能穿越不同的电压域。图8举例显示了PrimeTime如何在多电压设计中识别电压区域,并避免那些可能导致电气违规情况的ECO修正。

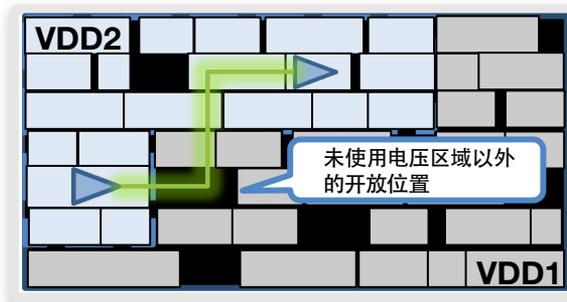


图8: 针对多电压设计的电压区域感知ECO

借助准确的签核时序分析恢复功耗和面积

功耗会影响设计质量,尤其是那些由电池供电的节能设计,功耗更是关键因素。在Galaxy实现流程中,从逻辑综合到布线后优化,您都可以运用功耗和面积恢复技术。

在具备正时序裕量的时序路径上,功耗和面积恢复技术能将现有的单元替换成功耗更低或面积更小的单元。替换阈值电压 (Vth) 更高的现有单元不会影响布局或布线,而且通常能够将泄漏电流功耗降低几个数量级。此外,缩小单元不仅能够降低动态功耗和泄漏电流功耗 (dynamic and leakage power),而且也能为其它ECO释放宝贵的可用空间,特别是在利用率较高的区域。

在时序收敛阶段,PrimeTime使用诸如PBA、波形传播、AOCV和POCV等多种用于降低悲观性的技术,找出其它的恢复可能性。递交之前在所有场景中使用签核时序引擎验证ECO导引,这能够确保成功达成设计收敛,并消除额外的ECO迭代,同时实现最佳的设计质量。

物理影响最低的ECO实现

在ECO实现阶段,布线变更可能会为签核时序带来难以预料的影响,原因在于线载或串扰效应的变化。与提供靠近目标引脚或原始布线路径的ECO建议位置的PrimeTime物理感知ECO导引技术配合使用时,IC Compiler的MPI技术在ECO实现阶段保留大部分的原始布线路径,并将路径变更限制在那些新嵌入的ECO单元所需的本地区域范围内。

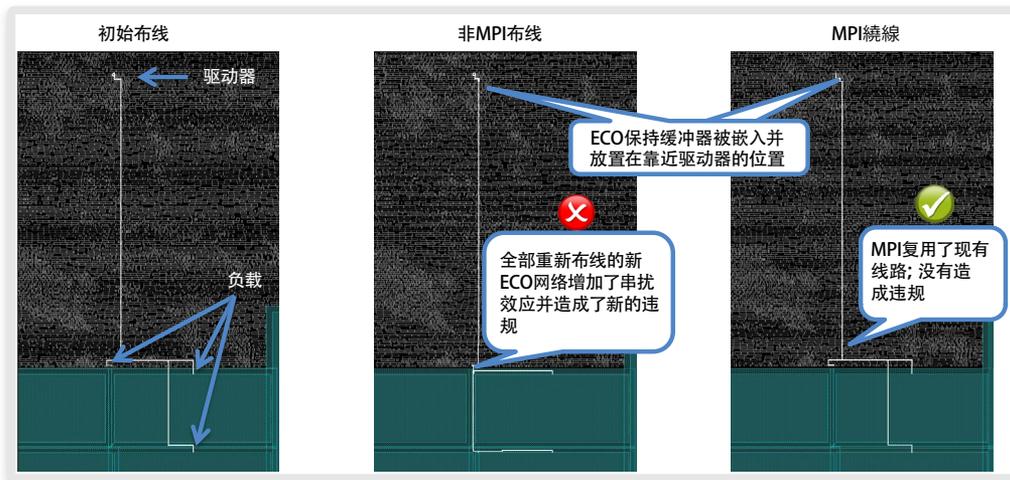


图9: 采用IC Compiler MPI的ECO布线

通过重复使用大部分的原始布线路径，线载或串扰效应的变化将降至最低，而且该变化是可预测的，从而能够确保在ECO实现后达成时序收敛。

此外，在拥塞区域，PrimeTime物理感知ECO在决定某个新的ECO单元是否可行时，可将目标位置周边的零碎可用空间和布局密度纳入考虑。在ECO实现阶段，IC Compiler将通过迁移现有的单元整合零碎的可用空间，并容纳新的ECO单元

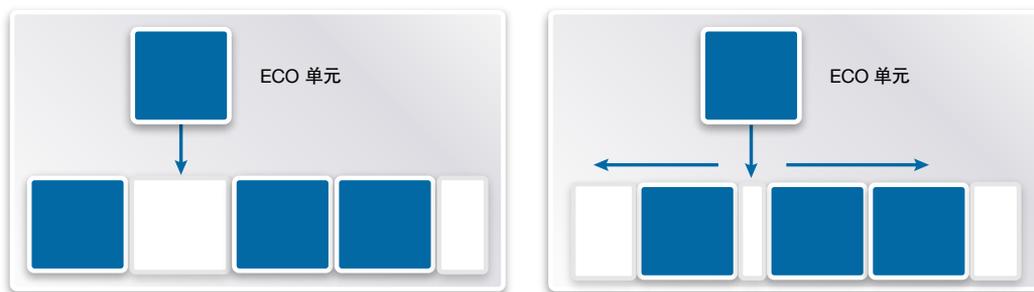


图10: 采用IC Compiler MPI的ECO布局

PrimeTime物理感知ECO可利用IC Compiler中强大的实现引擎，加快签核时序收敛，即便是面对最具挑战的设计也没问题。也没问题。

PrimeTime的以签核为导向的ECO导引结果

场景数量的增加会对运行时间和内存造成影响，而PrimeTime ECO导引技术能够应对这一问题，并通过减少ECO迭代加快时序收敛。

高资源效率的多场景ECO导引技术

随着传统ECO工具中场景数量的增加，ECO运行时间也几乎呈指数增长。但新的PrimeTime ECO导引技术不会出现这种情况，如图11所示，随着场景数量的增加，该算法却能将运行时间的增幅降至最低。

ECO运行时间Vs.场景数量

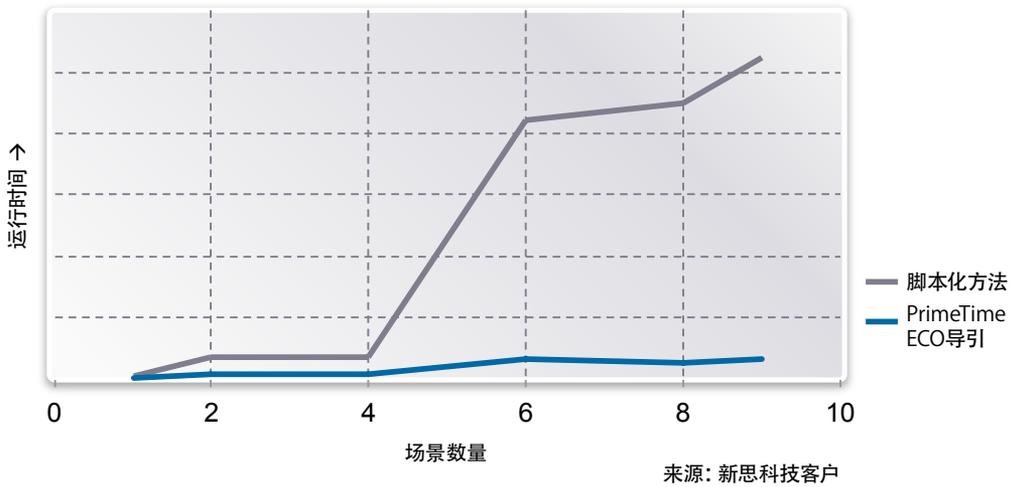


图11: 可扩展性与场景数量的增加

通过结合使用上述的全新时序ECO视图和校准估测法, PrimeTime ECO导引技术可将其向实现工具建议的变更数量降至最低。这种方法能够为布局布线工具避免不必要的拥塞, 而且有助于改进时序收敛的可预测性。

此外, PrimeTime ECO导引技术的运行效率很高, 即使是待分析的场景数量超过可用的处理器内核数量也不会影响其效率。时序违规的“所有场景”分析法的另一个优势是, 在同样的修正率下, 能够使用少于场景数量的内核运行。

图12显示了ECO 导引技术运行63个场景时理论上所需的时间(如上方灰色虚线所示)。从图中可以看出, 当CPU内核的数量从63降至32, 再降至9的时候, 运行时间明显大幅增加。下方蓝色实线显示了随资源减少的新的ECO 导引运行时间。即便资源只有原来的七分之一, 运行性能所受影响也很小, 与原来相比, 运行时间增加不到两倍, 同时在资源减少的运行情况下还能维持很高的成功率, 而且结果质量完全不受影响。在这个客户测试案例中, 一次修正中有96%的保持违规被修正, 效果与使用所有CPU内核一样。

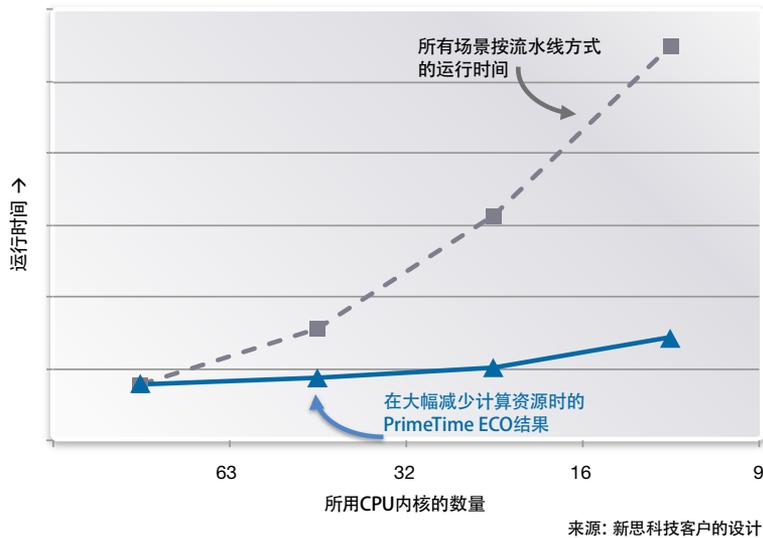


图12: 场景数超过内核数时的高资源效率方法

利用物理感知技术达成可预测的时序收敛

在ECO实现过程中，物理感知ECO导引技术能够减少版图扰动，从而达成可预测的时序收敛。图13显示了新思科技客户使用IC Compiler ECO导引实现的结果，这些客户测试案例显示，DRC、建立和保持违规情况均出现非常高的单次修正率。

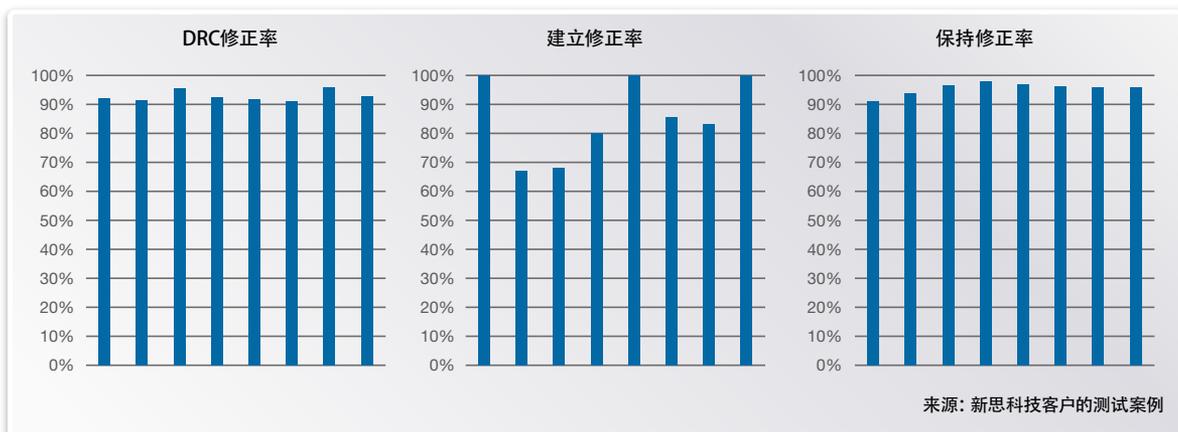


图13: 通过布局布线达成可预测的结果

ECO导引技术修正率将使用ECO导引之前的时序与PrimeTime ECO导引在IC Compiler中被实现、然后再回到PrimeTime中加上StarRC寄生参数提取之后的剩余违规情况进行比较。

利用IC Compiler和PrimeTime实现泄漏电流恢复

时序收敛后可实现的泄漏电流恢复程度主要取决于实现流程中的功耗优化程度。如图14所示，在众多使用IC Compiler泄漏电流恢复技术的客户案例中，PrimeTime能够额外大幅降低泄漏电流功耗。

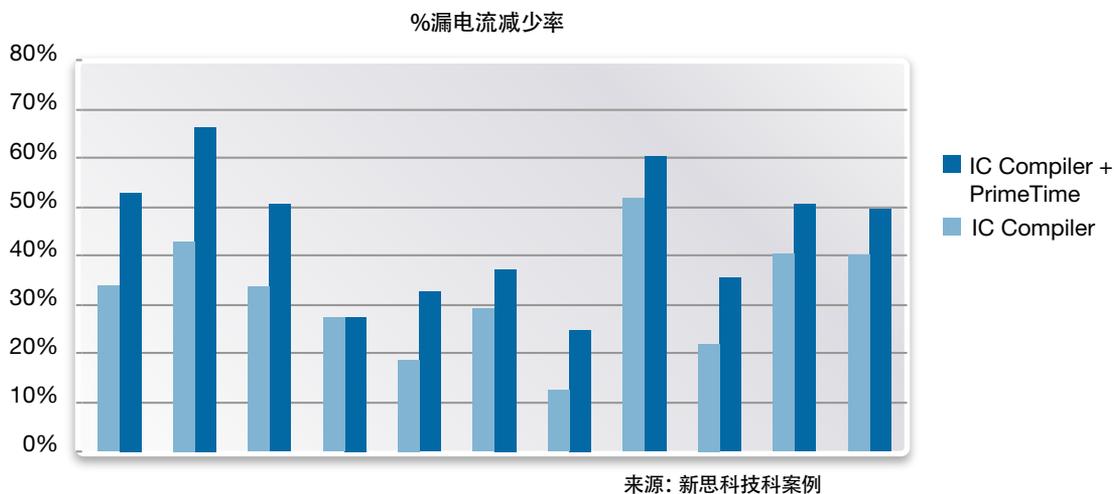


图14: 时序收敛后额外的泄漏电流功耗恢复

总结

PrimeTime中的各项新技术提供可扩展、有效、签核准确的方法，能够在所有场景中达成时序收敛。使用PrimeTime的物理感知ECO导引技术可提升单次修正率，并确保可预测的实现结果。PrimeTime的以签核为导向的ECO导引技术，辅以IC Compiler中的新技术，能够避免代价高昂的ECO迭代，并加快时序收敛与签核。

参考资料

- ▶ [新思科技Synopsys官方网站上的PrimeTime ECO 导引技术页面](#)
- ▶ SolvNet文档: [PrimeTime使用指南目录](#) (参见PrimeTime ECO导引技术)
- ▶ 更多指向SolvNet文章的链接:
 - SolvNet文章033465, “[PrimeTime和IC Compile可节省数周修正ECO的时间](#)”
 - SolvNet文章035247, “[全新的PrimeTime DRC导引技术可加快ECO时序收敛](#)”)
 - SolvNet文章039613, “[PrimeTime SIG at DAC 2013 - 技术论坛 - 先进的ECO方法](#)”)