

藉助AI達到更好、更快且更有效率的驗證方式

Author

Taruna Reddy
產品行銷部經理 (Staff Product
Marketing Manager)

概述

半導體各領域發展的困難度與日俱增，驗證可能是整個發展過程中最具挑戰性的階段。多年來，研究顯示在驗證上投入的時間和資源所佔的百分比會隨著每一次新世代晶片的出現而增加。因此整體上，驗證的快速成長超乎晶片開發和晶片計畫中的其他階段。團隊們不斷苛求，希望能用更少的時間和更少的資源來達成更好的結果。電子設計自動化 (EDA) 產業將人工智慧 (AI) 的力量應用到驗證過程的各個步驟裡，以因應這次的危機。這份白皮書概括說明 AI 如何在驗證上會遭遇到的主要挑戰提供協助，並進一步分享新思科技現有解決方案中一些獨特的效能。

關鍵的驗證挑戰

任何晶片驗證工具、過程或方法的目標，往往被認為就是能更快速地找到更多的程式錯誤。表面上來講再正確不過了，但是現實上卻更廣泛而且更微妙。事實上，驗證工程師關心的有三個層面：結果的品質 (QOR)，達成結果所需的時間 (TTR)，以及達成結果所需的成本 (COR)。QOR 是最容易理解的；驗證團隊想要找到所有的程式錯誤，以及所有種類的程式錯誤。能找出的程式錯誤數量是重要的，但是發現的程式錯誤類型和複雜度也同樣重要。如果因為一些沒發現的程式錯誤而造成系統當機或使製造出來的晶片故障的話，那麼即使找到99.9%的程式錯誤也只是徒勞。

沒有任何一種方法能準確知道什麼時候所有的程式錯誤會被找到，但是有一些方法能幫助驗證團隊決定何時能宣告成功並將晶片投片量產。在模擬方面，功能性和結構性的覆蓋方法 (coverage metrics) 是最常見的。達到高度覆蓋能在設計的正確性上建立信心，而未能覆蓋的部分則提供一個良好的準則，告訴你還需要什麼額外的測試。在靜態和形式 (formal) 分析方面，檢查和被驗證的電路特性的百分比是主要的資料，而未能百分之百被驗證的特性則可當作分析深度的有界驗證 (bounded proof) 資訊。

基於很多原因，TTR 其實很重要。每個晶片計畫都有一個目標出貨日期，而這日期是取決於市場機會和競爭壓力。大家會依照該日期仔細規劃時程，但是如果接近收斂的時間來得比預期還慢的話，那麼投片量產以及接下來的產品出貨時間都會因此延遲。這不僅會造成利潤的損失，而且在最壞的情況下，還會讓晶片在出貨前就失去競爭力。所有的驗證工具都要有快速的測試和分析、平穩的收斂過程以及迅速的除錯功能才有辦法趕上緊迫的時程。如果該計畫落後時程，一般的應對都是擴編驗證團隊。但，就如幾年前的記錄一樣，在一個工程計畫中增加更多人員並不一定會減少完工所需的時間。

資源也包含在 COR 的三個層面內。增加更多工程師不僅會增加計畫成本並減少終端產品的潛在利潤。取得更多的計算伺服器或是租借雲端伺服器也都會增加成本。除此之外，每次啟動額外的模擬或是形式驗證都會產生更多需要被分析的結果。如果這些額外的驗證測試相較於既有的測試是多餘的話，那麼增加的這些非必要的除錯時間可能會降低驗證效率而不是改善它。最後，每次晶片 re-spin 都會在計畫預算中增加一個巨大的 COR 並延遲 TTR，所以高 QOR 是非常關鍵的。

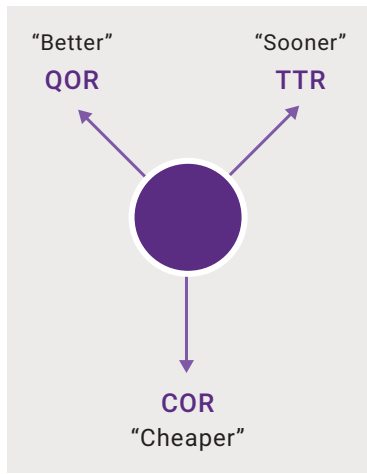


圖1

AI 技術多數都以機器學習 (ML) 為基礎，可以大幅度改善所有晶片驗證中的三個層面。圖2顯示典型驗證流程的概略。在設計者還未將RTL的程式寫入之前，架構團隊就會建立一個晶片的虛擬模型並分析系統的效能。當關鍵的決定下達時，設計團隊就會開發 RTL 模型；這些最好是透過採用整合開發環境 (IDE) 來完成，並搭配強大的代碼檢測工具 (language linting) 以擷取其它會消耗時間和資源的編碼錯誤，並在計畫後期修復。一旦標記的錯誤修復後，通常會由設計者本身來執行驗證過程中的第一步，也就是啟動靜態驗證工具來偵測設計中的結構錯誤。

形式驗證(formal verification)工具則能提供更深入的分析，它能嘗試證明關於 RTL 設計的關鍵性質。這些工具也可能由設計者啟動，儘管熟悉formal的專家也可能參與其中。同時，驗證團隊開發出能執行一系列測試的測試平台(testbench)和模型來達到驗證計畫的目標，這通常會運用到現有的驗證 IP (VIP)。這些測試主要是透過模擬來完成，但是近幾年硬體仿真平台的使用變得越來越普遍。如前述，覆蓋方法是判斷驗證進度的主要方法。而覆蓋收斂(Coverage closure)則是一種高度疊代的過程，而且它通常是驗證時程中耗時最久的一部份。

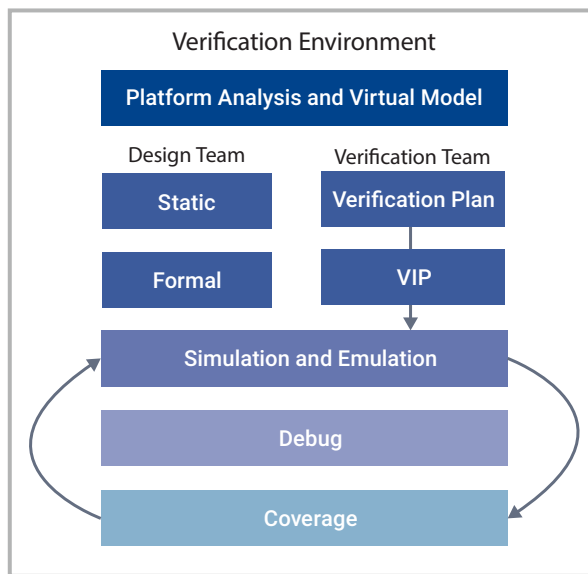


圖2: 驗證流程概略

AI技術在靜態驗證的應用

隨著靜態驗證可提供更多類型的檢查時，它在晶片驗證中的重要性就越來越高。當代的靜態解決方案一定要包含針對跨時脈域 (clock domain crossing, CDC)、跨重置域 (reset domain crossing, RDC) 以及低功率設計結構的精密檢查。透過這樣豐富的分析陣列，就一個典型計畫中能發現到的所有程式錯誤而言，其中大約10%會在這個階段就被偵測到並修復。靜態工具的主要問題在於它們通

常會回報好幾個潛在的違規，很容易造成干擾。其中有幾個可以由微調輸入設定來解決，如選取哪種違規回報為錯誤以及哪種違規僅是警告而已。不過，干擾的主要原因是單一底層設計(underlying design)的缺失會導致相關的違規。例如：時脈邏輯中的程式錯誤可能會導致使用該時脈的任一正反器(flip-flop)產生違規回報。就除錯效率而言，設計者必須能專注於特殊的問題上，一旦這些問題被解決，便能消除掉多數違規。

根本原因分析 (Root-cause analysis, RCA) 就是一款能達到這個要求的 AI 賦能技術。如圖3所示，在這個各個擊破的過程中的第一步就是使用機器學習方法並根據共同特徵來叢集違規。在剛剛提到的範例中，所有與時脈邏輯程式錯誤相關的違規都會被整合成一個單一叢集。目的就是讓設計者能將每一個叢集視為一種違規並進行修復，這樣就能修正叢集中的所有違規。數以千計的違規通常會減少至幾十個叢集，這樣能節省設計者大量的時間和精力。因為叢集法使用的是非監督式的機器學習演算法，所以可以在沒有使用者引導下，就能自動運作。它能識別違規的因果關係、隨著計劃進度學習，並執行 RCA，進而減少計畫團隊的負擔；具有的圖像顯示和現成可用的 Tcl 指令檔，能引導設計者找到每一個叢集中違規的根本原因。

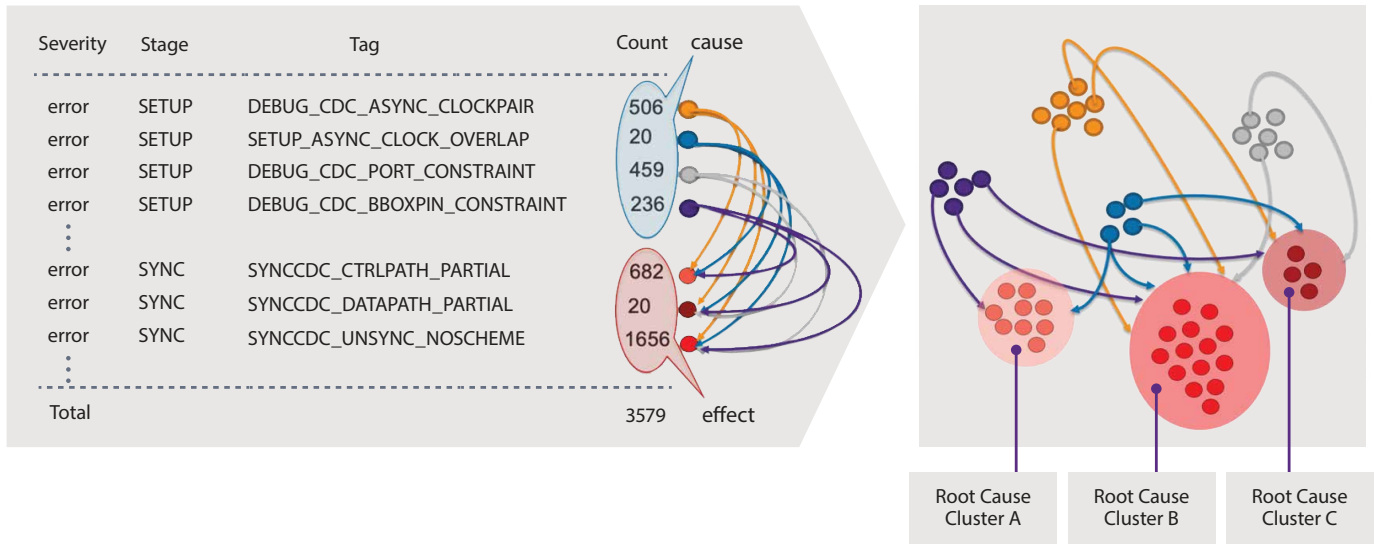


圖3：靜態分析中的違規叢集

業界領先的靜態驗證解決方案—新思科技 VC SpyGlass™ 平台，以及新思科技全面性靜態低功耗的驗證解決方案—VC LP，能提供包括前述甚至更多的功能。SmartGroup 技術能執行先進的叢集法以大幅減少待檢驗的違規數量，而且 RCA 會加速每一個叢集的除錯速度。針對違規提出的建議修正可能是對 RTL 的設計進行改變，但是通常是細微的區別或添加設計限制檔(constraints file)。基於機器學習的叢集法和 RCA 的組合能在一般典型晶片計畫中提供高達10倍的除錯效率並改善靜態驗證。

AI技術在形式驗證(formal verification)的應用

雖然以測試平台為基礎的模擬為人熟知而且被廣泛應用在驗證技術上，但是它還是有限制。設計上的程式錯誤並無法被偵測和修復，除非模擬刺激(simulation stimulus)觸發它並以可觀察到的方式改變預期結果。因此，總是有某些程式錯誤會被遺漏，因為它們從未被啟動過，或是它們的效應從未被檢查到。形式驗證提供針對一組屬性的設計綜合分析，不需要stimulus；該分析會考慮每一個可能的合法輸入序列，可以偵測到在模擬中難以被激發的深層程式錯誤，這通常占所有程式錯誤中的20%。形式驗證還可以證明在給定的電路特性(property)不存在更多的錯誤，為模擬或仿真提供無可匹敵的可信度。

形式驗證工具通常在幕後有好幾個解算裝置(solvers)或引擎來處理好幾百個或好幾千個在設計上需要被驗證的電路特性。它能處理的形式驗證工具效能和設計尺寸都取決於引擎的效能和引擎的編排。在過去的20年裡，formal的技術已經進步許多。最近，AI 和機器學習技術的採用大大成功地改善收斂性(convergence)和效能。新思科技VC Formal™ 是業界第一款形式驗證工具，並將機器學習應用在引擎編排、回歸和除錯程序。

引擎編排的目的是在實際計算資源和時間的限制下，指派正確的引擎到正確的電路特性上，以達到最短的運作時間和最佳的收斂演算。當 VC Formal 在處理每一個電路特性時，它都會使用即時加強學習，從有效和無效的方法中學習，並在下一組動作中指導編排。這稱為智慧策略選擇(Smart Strategy Selection)。除此之外，針對每一個電路特性下達的決定都會在執行結束時儲存在資料庫中，所以後續的執行可以運用前次執行中的學習，並找出更好的結果。這稱為回歸模式加速器(Regression Mode Accelerator, RMA)。

當 RTL 設計或是形式測試平台在設計和驗證的過程中被修正時，形式驗證通常會在每晚或是每週的回歸過程中執行，以確保這些改變在設計上不會產生新的程式錯誤。如圖4所示，每次接續的 VC Formal 執行都會讀取前一次執行的設計內容和學習資料庫來決定哪

一個電路特性狀態可以被安全地維持，哪一個電路特性因為這些改變需要被重新執行，以及哪一個不能判定的電路特性應該需要更多時間和編排資源。即使是那些需要重新被驗證的電路特性，前次執行中的學習也會指導編排過程並使第二次執行更快速。比較基準 (benchmark) 的資料顯示這些機器學習技術可以提升10倍以上的驗證速度和額外的收斂能力，並減少 TTR 和 COR，同時還能改善 QOR。圖5以一項真實設計作為範例來說明這些好處。

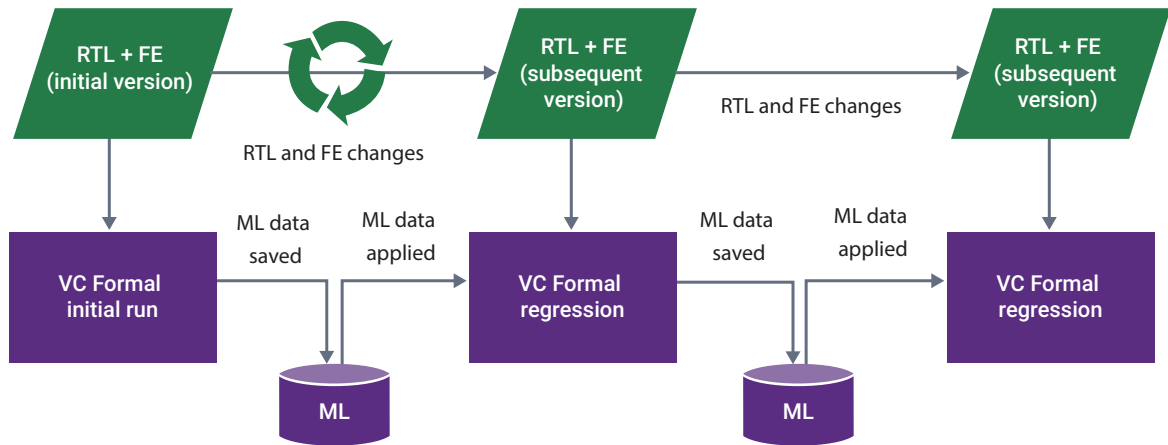


圖4: VC Formal 中的回歸模式加速

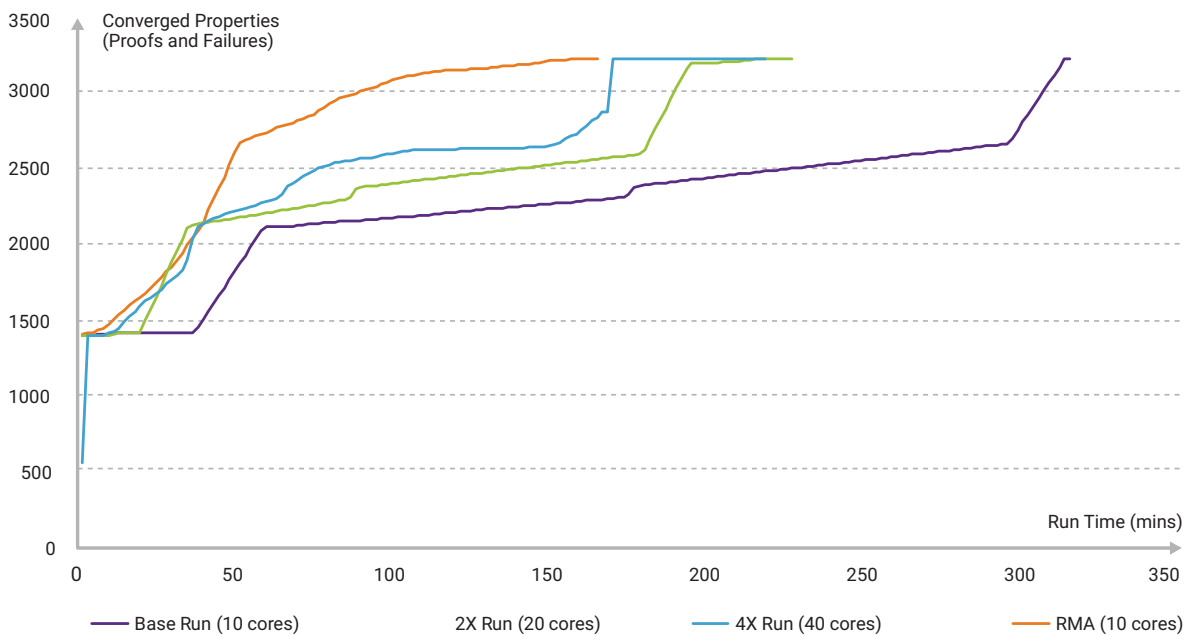


圖5: RMA 加速電路特性收斂

AI技術在模擬的應用

運作時間效能對模擬回歸也很重要，這可能會包含數以千計的測試並透過每晚執行來驗證所有在 RTL 設計和測試平台上的程式改變。模擬會保留在晶片驗證的核心部位，通常約佔所有已發現的程式錯誤的65%。有時候為了修復程式錯誤而在設計上做的改變不僅無法正常運作甚至還會引發新問題，所以頻繁進行回歸程序來快速偵測問題，不但很重要而且還能讓計畫按部就班地進行。影響模擬和回歸效能有幾個因素，其中至少有兩個與 AI 相關的改善有關。第一就是模擬和回歸執行的設定。當代模擬器有許多的選項和開關，它們都對效能有著重大的影響。驗證工程師需要時間和專業知識來為特殊的設計和測試平台進行模擬器的設定優化。隨著程式的演化，可能會需要對設定做一些調整來維持最佳化的效能。使用機器學習技術來學習和維持模擬器選項和開關的自動化過程，可以大大地改善回歸效能和效率。

新思科技VCS® 模擬器中的動態效能優化 (Dynamic Performance Optimization, DPO) 技術是 AI 在模擬效能上的一種應用。它利用機器學習和以規則為基礎的 AI 技術，從前幾次的回歸執行中學習並自動調整 VCS 設定來優化效能，如圖6所示。該過程是自動的，所以不需要使用者輸入。如果驗證工程師想要的話，他們還是可以去控制該流程的某些方面。例如：他們可以只在某幾天打開學習模式，並在期間內用相同設定執行回歸。相較於採用模擬器設定的手動驗證，DPO 大致上可提供快上1.3-2倍的模擬執行。

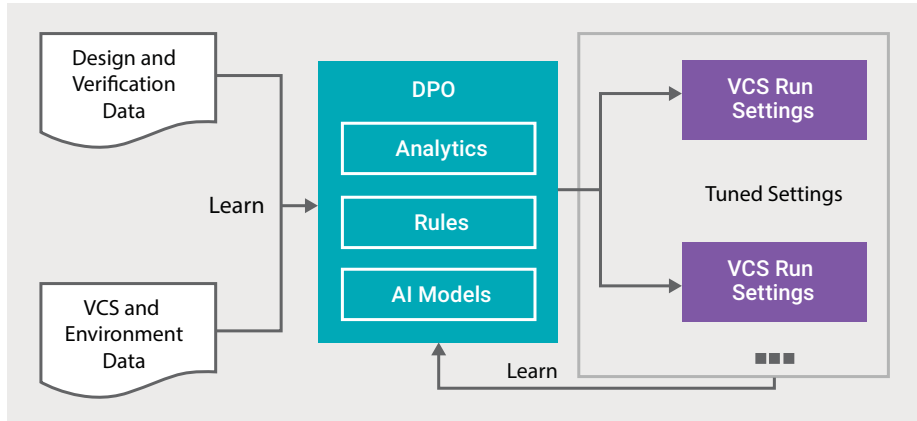


圖6:VCS中的動態效能優化

在整體回歸效能中受影響最大的部分是收斂的所需時間。以往驗證工程師會檢查模擬報告來判定未達到的覆蓋部分，然後變更測試或編寫新的測試來嘗試覆蓋設計上錯失的部分。藉由隨機限制(constrained-random)的測試平台，他們更有可能修改測試平台的限制，將產生的自動stimulus聚焦在遺漏的覆蓋範圍上，但是這還是需要相當大的人力。會浪費相當多的時間來複製已經覆蓋的範圍。改善這樣的狀況則是驗證過程中的另一種 AI 與機器學習的應用，而 VCS 也提供了一套解決方案。智慧覆蓋優化 (Intelligent Coverage Optimization, ICO) 能優化隨機限制stimulus的統計質量並對影響覆蓋範圍的測試問題提出見解。在最近的晶片計畫中，ICO 已經證明能以2-3倍的速度加速收斂覆蓋範圍。驗證團隊可以在更短的時間內達到更大的整體覆蓋範圍，並縮短時程和節省資源。

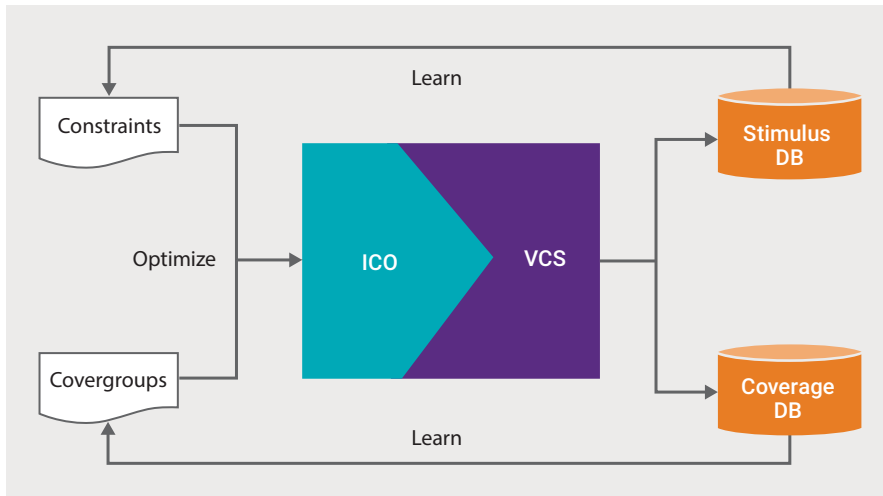


圖7:VCS中的智慧覆蓋優化

AI 技術在除錯(debug)的應用

如之前所述，模擬回歸會在計畫中執行無數次。每次回歸失敗時，驗證團隊都必須檢查報告並找出失敗的原因。因為當程式錯誤被修復或是新增功能需要再進行測試時，RTL 和測試平台(TB)程式都會不斷地改變，所以回歸失敗是家常便飯。手動處理日常的回歸失敗對驗證工程資源是一個巨大的負擔。幸運的是，AI與機器學習再一次地提供解藥。即使模擬測試失敗的原因通常會比靜態違規的原因更複雜，但是依舊適用於相同的自動 RCA 原則。

新思科技 Verdi® 自動除錯系統中的回歸除錯自動化(Regression Debug Automation, RDA)功能會自動丟棄、探查和發現回歸失敗的根本原因。RDA 會利用 AI 分類和分析原始的回歸失敗並辨別在設計和測試台上失敗的根本原因。RDA 會減少 RCA 所需要的時間並能提升整體除錯效能2倍左右。

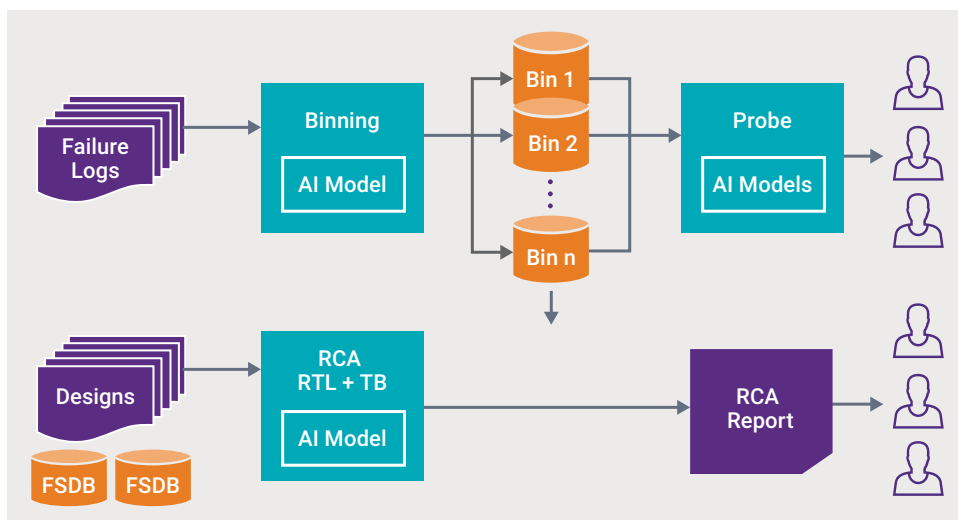


圖8:Verdi 中的回歸除錯自動化

結論

AI 和機器學習技術每天都在晶片設計和驗證流程上尋找更多的應用。特別是在驗證上，AI和機器學習可以在靜態驗證上加速失敗分析、改善形式驗證的效能、讓模擬更有效率、加速收斂並讓模擬除錯更迅速和更簡單。圖9總結優化這些程序後對驗證團隊和整體晶片計畫的好處。

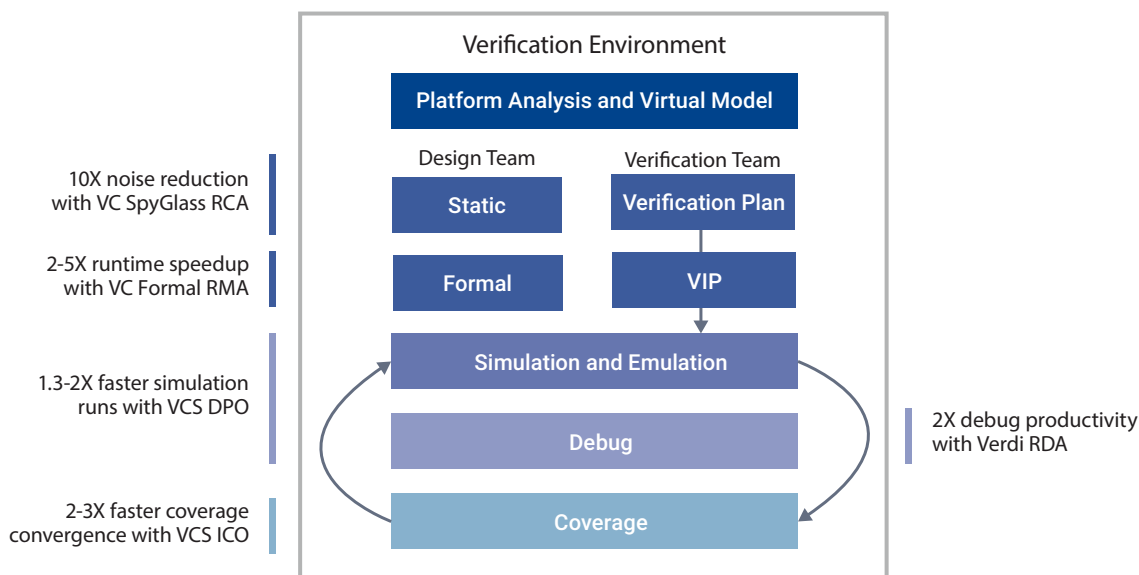


圖9:AI/ML為新思科技驗證流程帶來的好處

新思科技的解決方案能符合驗證團隊的目標並提供更好的 QOR、更短的 TTR 和更低的 COR 來解決他們關鍵的挑戰。如今，可以透過強大且靈活有彈性的 AI 與機器學習技術，在驗證流程中的眾多地方，改善驗證的許多面向。