

實現系統單晶片 (SoC) 設計能源效率的全方位解決方案

作者

Piyush Sancheti

新思科技系統架構事業群資深總監

前言

現代世界需要大量能源才能運轉，在電子產品方面尤其是如此，與日俱增的自動化智慧裝置推升了對電力的需求；而許多搭載晶片的應用也都面臨降低功耗以及提升能源效率的壓力。因此，半導體和電子設計自動化(EDA)產業開發出多種技術因應這些挑戰。本白皮書概述這個議題的背景知識，介紹能夠提供幫助的現有技術，並針對系統單晶片(SoC)設計流程各階段，從架構至簽核(signoff)，提出可提升能源效率的完整解決方案。

驅動能源需求的因素

簡言之，電子裝置的數量越多，就需要消耗更多能量來維持其運作。過去數十年來，人們日常生活中的諸多面向都仰賴著電子裝置，而其背後是由海量數據資料和大型儲存中心支撐。在裝置需求量不斷成長的情況下，因使用電子產品而消耗的能源佔比也理所當然會跟著增加。如圖1顯示，小至消費型裝置、大至運算伺服器 and 網路設備，資通訊技術(ICT)的高需求導致全球用電量暴增。預計從2022年到2030年，單單ICT應用所消耗的電力就將成長近三倍。屆時，ICT占全球總耗電量比例將達20%以上。

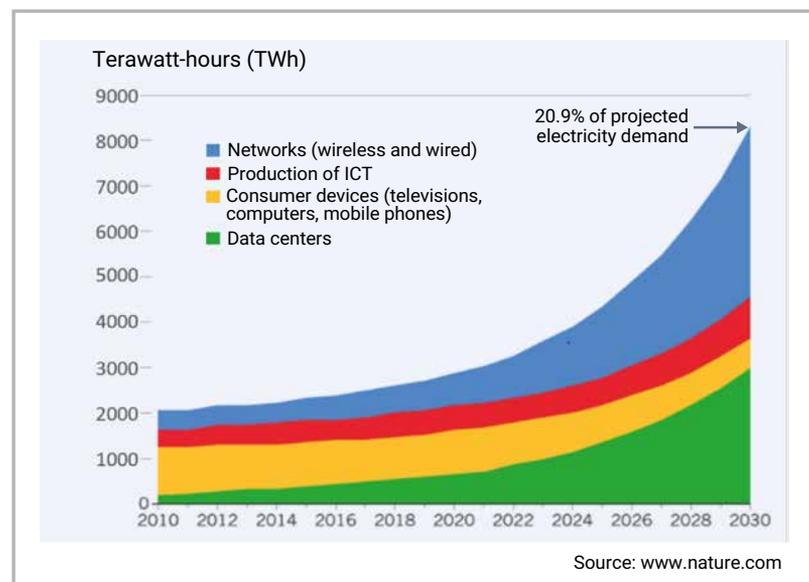


圖1：ICT應用的電力需求成長

人們消耗的每一瓦電力都其來有自，而為能滿足龐大需求所產生的成本則是財政與社會方面的巨大負擔。晶片設計人員和製造商有明確的動機，盡量提升設備的能源效率，同時滿足各種應用的關鍵需求。低功耗(Low power)為一項重要的產品差異化因素，對於使用電池運作的裝置來說尤其如此。從歷史上來看，對於效率和降低功耗的需求大部分體現於攜帶式消費型裝置上。使用者希望在擁有合理電池壽命的情況下，得以實現各式各樣的功能，因此在設計過程以及裝置運作期間做出的功耗取舍將是關鍵所在。

散熱也是智慧型手機、平板電腦、筆記型電腦和穿戴式裝置等小型電子產品面臨的主要挑戰。消費者希望能自在地使用這些設備，但又要避免分散式散熱所增加的產品成本和體積。唯一的解決方案是從源頭進行功耗管理。值得注意的是，小型裝置所搭載的不一定是所謂的「小晶片」；許多物聯網(IoT)應用相對簡單，全球一些最大規模且最複雜的SoC，就是應用於智慧型手機上的SoC。自駕車應用並不完全是小型的應用，但仍屬於消費型裝置的範疇，也會使用到複雜的SoC、感測器以及其他電子元件。

較大型的系統如桌上型電腦和伺服器，則擁有更多散熱和熱能管理選項。先進晶片封裝、大型散熱器、風扇甚至液冷技術對於許多設計而言皆是可行方式，但會讓成本顯著增加。我們不一定要實現超低功耗，但必須對功耗進行妥善管理。研究顯示，在資料中心伺服器有效壽命期間為其供電的成本，會超出硬體本身的初始支出。從成本考量，在這類系統中建置高能效SoC的經濟動機顯而易見。而無論是出於個人對於全球氣候變遷的關注，或是限制資料中心甚至個別機器類型功耗的「環保法律」規定，許多客戶也希望盡量減少自身的碳足跡。新的應用如人工智慧(AI)和機器學習(ML)對於能源的需求源源不絕，因此更完備的節能意識設計流程勢在必行。

端到端(End-to-End)高能效設計

為求最佳效果，SoC設計的每一階段都必須將能源效率納入考慮。多年來，人們已開發出各種降低與管理功耗的技術。圖2說明從物理層級(physical level)開始，在各階段中最重要的技術。雖然「矽(silicon)」一詞經常作為半導體材料的通稱，但其實在設計中亦使用過其他材料，而功耗可能是其中一項考量因素。例如，對於某些高效能應用而言，砷化鎵(GaAs)曾經是矽的主要競爭對手，然而矽的熱傳導率(thermal conductivity)較高、具備更好的散熱效果，因而被選擇用來處理更高功率的應用，而不至於造成過熱。

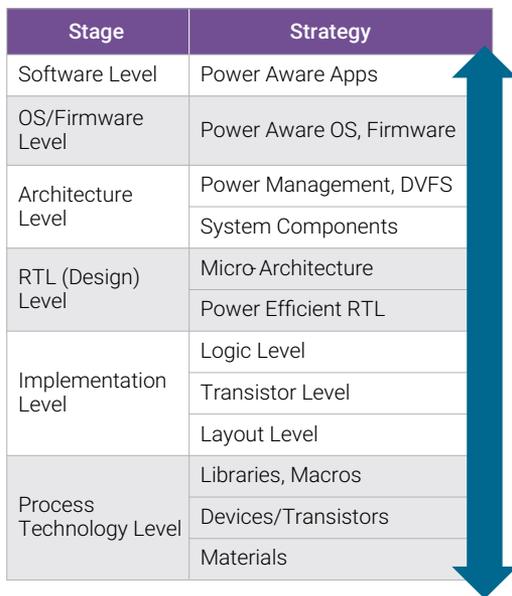


圖2：端到端節能設計流程

除了上述的基礎材料外，電晶體和其他裝置的結構也對能源效率產生很大的影響。在早期的晶片開發中，工程師會選擇最符合設計目標的電晶體特性進行效能、功率以及面積(PPA)的權衡取舍。在16奈米以下的製程節點晶片中，FinFET裝置佔有主導地位即是一個很好的例子。當設計人員探索深次微米結構(deep submicron geometries)時，他們發現漏電流(leakage current)會從惱人的問題轉變成影響功耗的一項主要因素。而能夠更妥善地管控裝置通道的FinFET，便是改善此問題的解決方法。

大多時候，SoC設計並不會在電晶體層級中進行，而是在暫存器傳輸層級(RTL)或更高層級，以通用功能的元件庫程式碼(code)進行合成。自數十年前導入標準元件和邏輯陣列以來，元件庫中就包含多種具備等效功能但不同PPA特性的元件。許多元件庫中，至少會包含所謂「低功耗」版本，設計人員可以選擇這些元件以實現非關鍵路徑上的功能。由於邏輯綜合工具具備快速嘗試不同元件映射(mapping)的能力，因此元件庫中的選擇越多，就越容易滿足PPA目標，且無需設計人員介入。由於在先進節點中，物理效應(physical effects)居主導地位，因此所有分析和優化技術都需要具備物理感知(physically aware)能力，並仰賴高品質的元件庫和智慧財產(IP)。功耗會影響晶片的電源完整性和熱能特性，因此在物理實作(合成及佈局)期間必須解決這些問題，並在簽核(signoff)期間進行確認。

能源效率亦對RTL設計和使用邏輯合成生成的閘層級網表(gate level netlist)有所要求。而這也是設計人員確立微架構(micro-architecture)之處，且應考量到功耗目標。常見範例包括關閉SoC目前未使用的部分進入待機模式、或使用動態電壓和頻率調節(DVFS)進行運作控制。找到正確的微架構至關重要，以避免它在自由度較低的後期實作階段成為瓶頸。DVFS等先進技術需要宏觀架構層級的支援，因此整體系統電源管理便必然成為高階晶片建構的一部分。SoC架構人員必須定義晶片系統中的電源控制結構，並提供接口(hook)，以便透過軟體來控制電源。這個控制結構可以讓軟體透過控制電源的方式來控制晶片中各個模塊的啟用和關閉，以降低功耗並提高效率。

軟體是解決方案的最後一環。儘管我們可於硬體層級實現部分功耗管理決策，但對於多數現代SoC而言，大部分的功能都可以運用電源感測軟體、作業系統(OS)和應用程式(apps)進行控制。例如，作業系統知道所有執行中或規劃執行的應用程式和任務，因此可以做出明智決定，在不需要最高效能的應用中放緩或停止晶片運作。某些SoC具備多元功能，若晶片欲達成全速運作，勢必將造成熱損壞，而作業系統在選擇管理功耗方式時必須考量到這一點。而在製造過程中，測試用電晶體和晶片所使用的程式也必須具備功耗感知功能以防造成過熱。

圖2提到的技術可應用於如圖3所示的整體SoC設計時程。低功耗設計流程必須使用具備快速分析能力的實際軟體工作負載以驅動功耗探索、分析和優化的活動(或向量)。典型的工作負載量擁有數十億個週期(billions of cycles)，因此我們會使用漸進式細化法(successive refinement approach)縮小流程各階段的關鍵區域(key window)，以便管理資料。最終結果是，源自於軟體工作負載的活動推動了從架構和RTL到實作和簽核各階段流程，對於功耗的徹底探索、分析和優化。

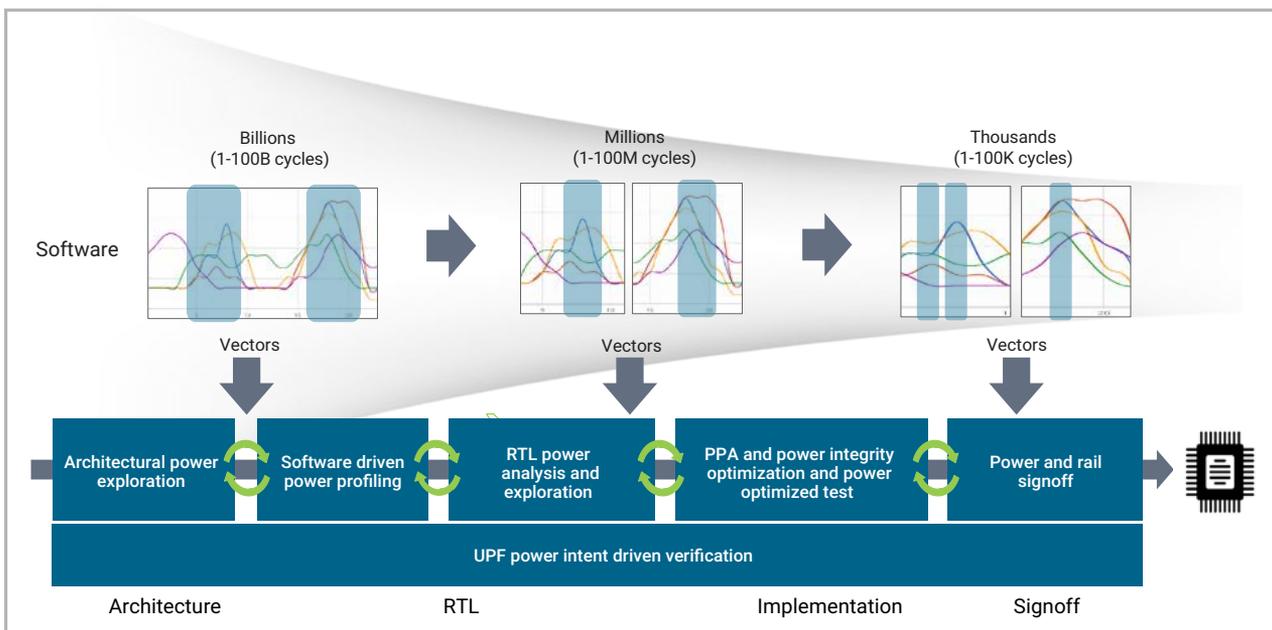


圖3：低功耗設計流程

自從統一電源格式(UPF)標準(IEEE 1801-2018)推出後，整體低功耗設計流程的能源效率管理變得更加容易。UPF規範SoC電源控制網路的各項範疇，包括：

- 電源網路及電源開關
- 功耗/電壓區域
- 相關區域間的電壓/電平轉換器(level shifter)和隔離元件
- 電源狀態與各狀態之間的轉換
- 晶片部分斷電時的記憶暫存

UPF標準是對於功耗設計目標(power intent)的規範。設計工具會讀取該文件並以其內容引導邏輯合成、佈局和繞線來實現設計。在虛擬模型中，架構工具可以使用UPF反映電源管理需求，並協助設計人員就宏觀架構層面進行權衡取舍。許多驗證工具(模擬、仿真、形式分析和簽核檢查)也會針對功耗結構進行評估。

新思科技端到端低功耗解決方案

現在，有一種適用於多種晶片的設計流程，可供架構人員、設計人員和驗證工程師在尋求端到端的高能效SoC開發流程時選擇採用；新思科技低功耗解決方案提供軟體驅動功耗驗證、探索、分析和優化功能，從架構到簽核流程一應俱全。如圖4所示，新思科技的产品涵蓋所有流程，構成業界最完整有效的解決方案，其內容包括：

- Platform Architect™使用pre-RTL架構模型和軟體工作負載進行架構探索和早期效能功耗權衡
- ZeBu® Empower功耗仿真(power emulation)具有分析軟體工作負載的效能，可辨別關鍵區域，以進一步分析及探索
- SpyGlass® Power用於RTL功耗探索，在RTL開發初始階段具有快速周轉時間
- PrimePower RTL搭載RTL Architect於RTL成熟階段進行高精度的RTL電源探索
- Fusion Compiler™適用於RTL至GDSII實作，可提供最佳PPA結果
- 結合PrimePower和Ansys® RedHawk™ 簽核引擎，實現最快的收斂(convergence)和最佳結果品質(QoR)
- 使用PrimePower及Ansys RedHawk進行標準簽核(golden signoff)
- TestMAX™自動測試樣本產生(automatic test pattern generation, ATPG)可進行功耗優化，確保晶片測試時也能妥善管理功耗

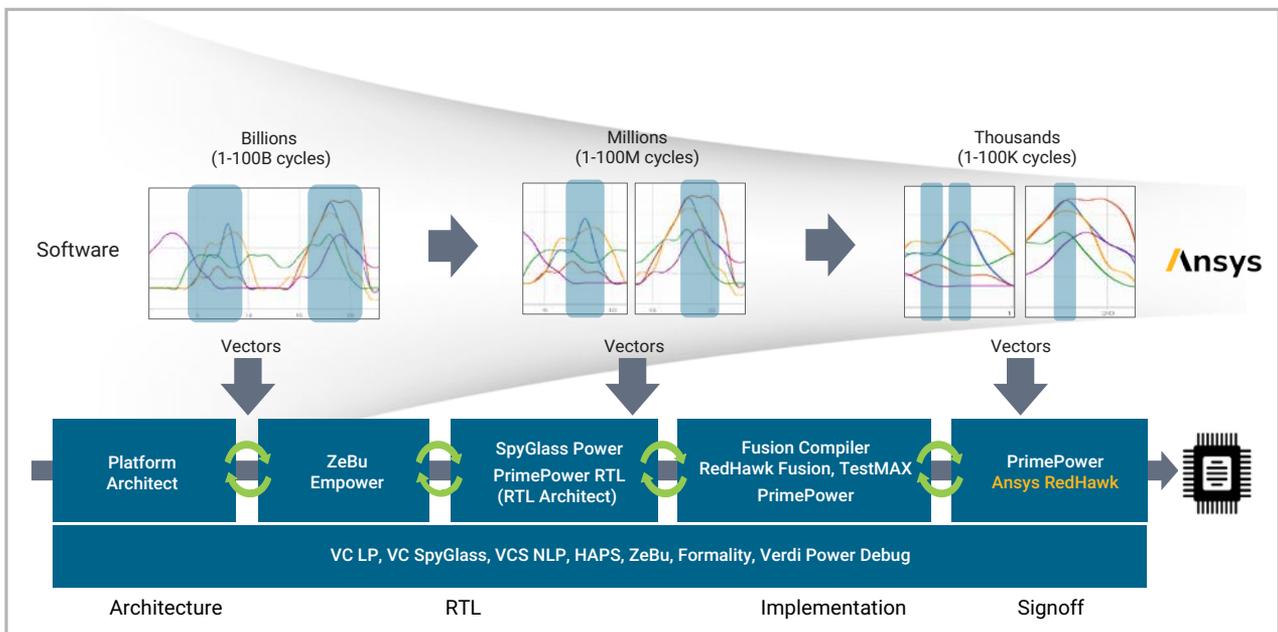


圖4：新思科技低功耗解決方案

新思科技開發流程藉由在設計的每個階段最大程度地降低功耗，達到最佳能源效率成果。功耗與效能的權衡取舍將以實際的軟體工作量为依據，避免SoC於設計上線(bring-up)時發生令人不愉快的意外狀況。早期且準確的功耗分析可確保快速又可預見的PPA目標範圍收斂。圖5闡釋了新思科技流程的細節，說明解決方案在不同設計層級的應用。於架構階段，Platform Architect具有獨特功能，能以抽象模型探索宏觀架構選項及其功耗與效能的權衡。有些IP開發可同時進行，但大多數RTL設計都是在宏觀架構確定後才會執行。

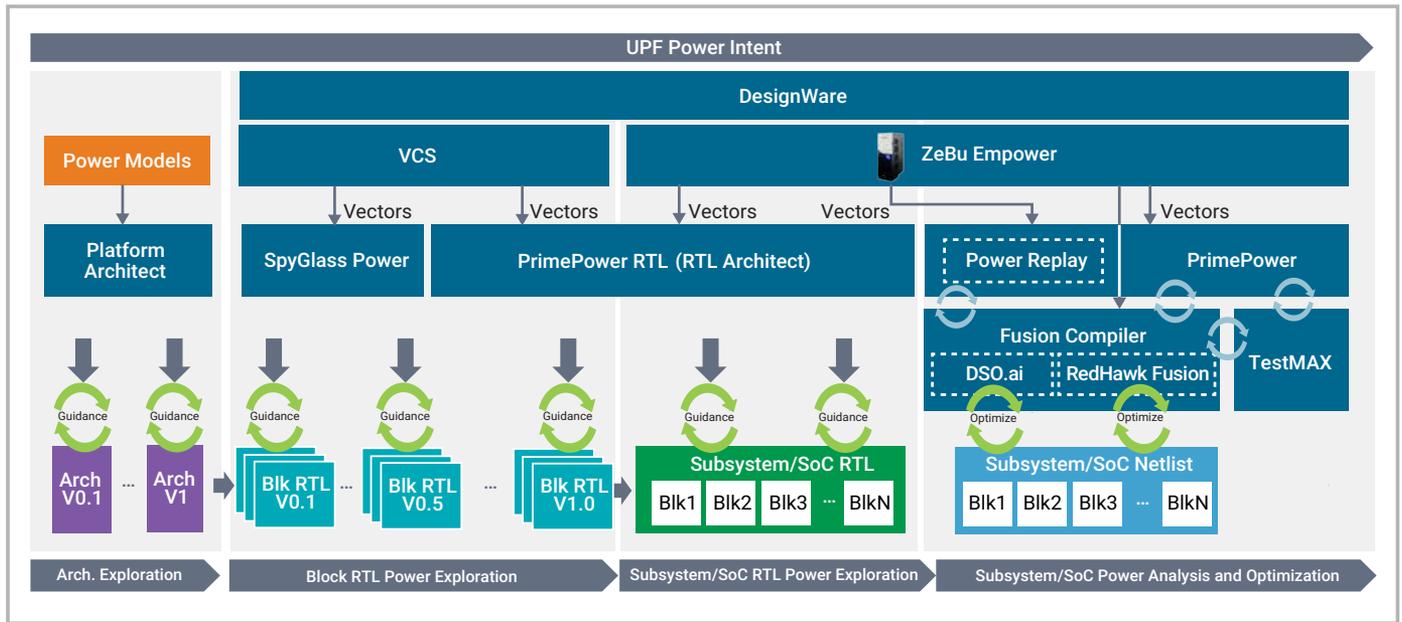


圖5：以軟體驅動的功耗探索、分析及優化

在RTL模組開發的早期階段，當定義好微架構後，將使用SpyGlass Power與VCS®模擬器產生的向量進行初期功耗探索。隨著RTL模組趨近成熟，並近乎實作設計階段時，PrimePower RTL基於嵌入式RTL Architect物理和時序感知預測技術及PrimePower簽核引擎，可提供更精準的分析。一旦SoC或子系統進入仿真階段，將使用ZeBu Empower進行軟體工作負載分析以找出關鍵窗口(例如：功耗峰值和高平均功耗區域)，然後在PrimePower RTL中進行更加詳細的分析。唯有ZeBu Empower能夠進行電源仿真，並處理具備數十億個週期的完整SoC軟體工作負載。

當由設計進入實作階段時，我們會進一步細化活動區域(activity window)以推動Fusion Compiler的實作設計。藉由人工智慧引擎DSO.ai™ (設計空間優化AI)的輔助，以功耗推動的RTL到GDSII流程可快速提供最佳PPA成果。DOS.ai是業界第一款用於晶片設計的自主應用程式，可在SoC設計的廣大解決方案範圍中搜索優化目標。ZeBu Empower的活動窗口也能推動PrimePower簽核，其Power Replay功能可在實作設計後，於閘級網表上重新利用來自VCS RTL仿真的向量(vectors)。PrimePower的黃金功耗簽核包括glitch分析與偵錯(debug)等關鍵技術、時序精度延遲位移(delay shifting)以及進階製程節點模型建立。最後，TestMax會在製程測試過程中將功耗納入考量。

除了設計的客製化RTL部分外，每個SoC都會使用商業IP。新思科技針對處理器、介面、感測器、類比與混合訊號(analog/mixed-signal, AMS)、記憶體和邏輯庫提供廣泛的DesignWare®低功耗IP產品組合。這些產品具備預先定義的UPF描述語言，能夠補充設計人員提供的文件內容。圖4列出的所有資料庫、IP以及工具都使用一致的UPF支援功能進行串聯。而詳如圖6所示，這種統一方式也包含可用於低功耗驗證的新思科技工具套組。此類組合基於UPF功耗設計意圖(power intent)，可針對模塊(block)、子系統和完整的SoC提供全方位的低功耗驗證。

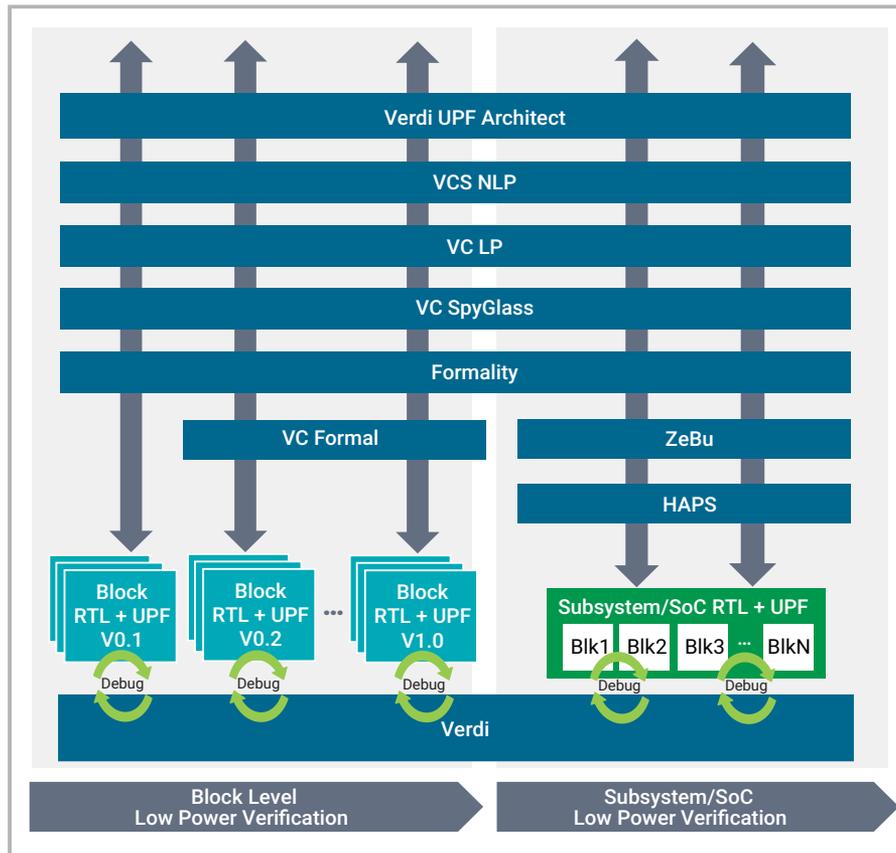


圖6：新思科技低功耗驗證

此過程以「Verdi® UPF Architect」建構正確UPF作為起始，此功能來自領先業界的Verdi除錯解決方案的其中一部分，讓用戶能夠根據功耗設計意圖的高階描述語言生成UPF文件。UPF會與設計和測試平台一同載入VCS® Native Low Power (NLP)中，針對UPF文件中所描述的整體功耗網路建構模型，並在動態仿真階段將功耗納入考量。例如，當電源區域的控制訊號將其關閉時，則VCS LP會將該區域中的所有訊號設為未知狀態。VC LPTM靜態低功耗驗證解決方案包括超過650項的檢測(checks)，相較於傳統方式，得以更早且更快發現低功耗的漏洞，包括：

- 功耗設計意圖一致性檢查：UPF語法和語義檢查，於實作設計前驗證UPF的一致性
- 架構檢查：RTL全局檢查，查看是否存在違反功耗架構規則的訊號
- 結構和電源/接地(PG)檢查：於整體實作設計流程中驗證隔離單元、電源開關、電壓/電平轉換器、保留暫存器和恆固(always-on)元件的插入與連接
- 功能檢查：檢查隔離單元和電源開關的正確功能

這些檢查可以在RTL到最終佈局網表的任何設計階段進行，也能夠在RTL至GDSII流程的各階段直接使用Fusion Compiler進行調度，以確保在實作設計過程中保留其功耗設計意圖。VC SpyGlass™ RTL靜態簽核平台亦可讀取UPF，以檢查跨時脈域(clock domain crossing, CDC)和跨重置域(clock domain crossing, RDC)是否具備功耗感知功能。Formality®所執行的邏輯等效性檢測(LEC)和VC Formal™執行的分析亦然。ZeBu仿真系統和HAPS® prototyping原型設計解決方案也會考慮到UPF文件。所有此類工具和技術都以Verdi作為統一除錯(debug)平台，提供多項功耗感知除錯功能，從設計意圖規範到功能驗證，實現無縫接軌的設計流程。

結論

許多SoC的應用需要以極低功耗延長電池壽命，或需要審慎的電源管理以滿足法規和市場要求。然而，PPA的整體目標不該只是專注於功耗，因此晶片產業開發出端到端設計流程，以提高每一階段的能源效率。功耗選項的早期架構探索之後，必須進行功耗感知實作及驗證，並以具備功耗意圖的通用UPF描述以及統一除錯進行串聯。新思科技推出的全方位端到端低功耗解決方案，是業界最成熟且最先進的技術，也是SoC開發過程中欲實現能源效率不可或缺的助力。