

先端ノード・デザインのフィジカル検証 生産性を高める IC Validator

著者

シノプシス アプリケーション・
エンジニアリング担当シニア・
マネージャー

Ron Duncan

はじめに

ディープ・ラーニング、自動運転車、5Gモバイル・ネットワークなどのアプリケーションにより、ICの継続的な集積度向上への期待が高まっています。また、デザインの複雑化、設計期間の短縮、プロセスの進歩、そして検証に対する要求の高まりに伴い、これまで以上に迅速かつ効率的なフィジカル検証フローが求められています。しかも、現在最先端の7/5 nm FinFETプロセスは驚くほど複雑な技術の上に成り立っています。ICメーカーはこれまでリソグラフィの限界に挑戦し、より多くのトランジスタを詰め込むことを「法則」としてきました。たとえば16 nm世代では、一般的な80 mm²ダイに約20億個のトランジスタが集積されていますが、5 nm世代になると同じダイ・サイズに集積されるトランジスタの数が120億個を超えます。ファウンドリは複雑なFEOL (Front-End-of-Line) レイヤ・スタックを利用し、多くのマスクを使用するマルチ・パターニング・リソグラフィを導入しています。このため、先端プロセスで必要なマスクの数は増え続けています。

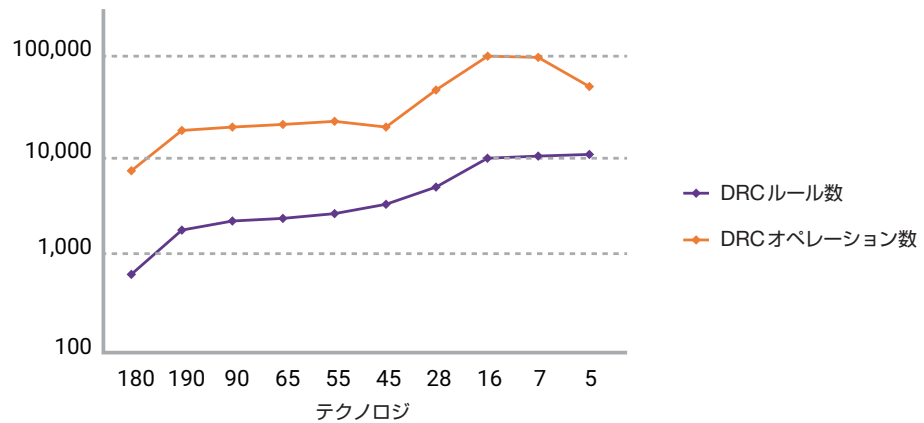


図1：複雑化が進む DRC

高密度化に加え、プロセス・レイヤの数と複雑さも増しているため、従来のノードから7/5 nmへ移行する際にはフィジカル検証がテーパーアウトのボトルネックとなる可能性があります。事実、次のような問題が指摘されています。

- 「ツールの実行時間が長く、1晩でフィジカル検証が完了しない」
- 「フィジカル検証に膨大なCPUリソースが必要になる」
- 「(特に初期のダーティなデザインに対する) DRCチェックはデバッグが困難」

フィジカル検証の生産性を向上

フィジカル検証の生産性を高めるアプローチには、以下の3つがあります。

- IPおよびブロック・レベル設計の段階で早期に検証を実行し、「こまめにきれいにする」こと。
- フルチップ検証を効率よく実行し、テープアウト可能なクリーンなデザインに短時間で収束すること。
- 使用するCPUの数を増やしてサインオフ検証の時間を短縮すること。

IPおよびブロック・レベル設計の段階でシームレスに検証を実行

「こまめにきれいにする」という考え方は、日常生活のさまざまな効率化にも役立つアプローチです（料理をしながら使い終わった調理道具を洗うなど）。当然、デザイン作成中の節目ごとにDRCを実行していけば、それだけでテープアウト直前の混乱とスケジュール遅れを防ぐことができます。IC ValidatorのFusion Technology™により、デザイン・ルール・チェック (DRC)、LVS(Layout Versus Schematic) チェック、タイミング考慮フィル、プログラマブル・エレクトロニクス・ルール・チェック (PERC) など先進のフローと、自動配置配線およびカスタム・デザインのフローを統合できますので、これが可能になります。

通常、アナログおよびカスタム・レイアウトを作成した後に複雑なレイアウトおよびDRCルールを適用し、DRC違反のないクリーンなデザインに収束するのは非常に困難です。IC Validatorには、小規模なデザイン、または大規模なデザインの一部に対してすべてのサインオフ・チェックをカバーしたDRCチェックを高速に実行する機能があります。これにより、次のことが可能になります。

- あらゆるテクノロジー・ノードで認証済みのすべてのファウンドリ・ランセットを実行する
- メタル間隔違反など、特定のファウンドリ・ルールのみを実行する
- ビュー・ウィンドウ内の領域に対してのみ実行する

これまでのように、「設計、チェック、修正」のループに何分も何時間もかかることはありません。レイアウト・ツールがビュー・ウィンドウ内のデータをIC Validatorの最適化されたLive DRCエンジンに送信すると、数秒でサインオフDRCチェックが完了します。違反が見つかった場合はレイアウト・エディタ・ツール内のエラー・ビューア・ウィンドウに表示され、ただちに修正できます。レイアウトを作成しながら、同じ環境でDRCチェックの実行、違反箇所の表示と確認を手早く実行できます。

IC Validatorは、シノプシスCustom Compiler™およびCadence® Virtuoso®内でのジョブ実行、レイアウト・エラー・シェイプ・プロビング、回路図クロスプローブに関するインターオペラビリティを完全にサポートしています。

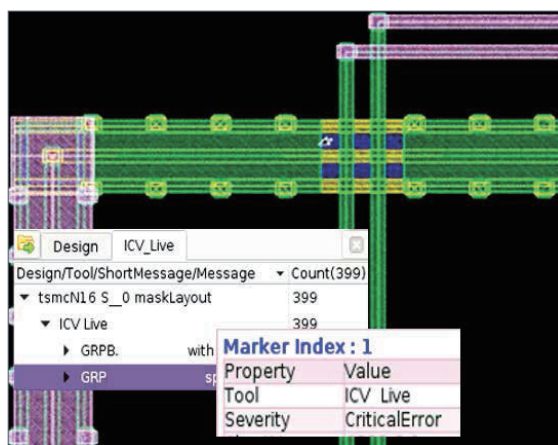


図 2 : カスタム・デザイン・フローで利用可能な Live DRC チェック

フルチップ・デザインを早期に効率よく検証し、テープアウト可能なクリーンなデザインに短時間で収束

IC ValidatorのExplorer DRCは、フルチップ・デザインのステータスを迅速に評価し、問題の修正に役立つ具体的なフィードバックを返すように設計されています。現在の大規模なチップは、配置配線ブロック、アナログ・セル、メモリー、サードパーティIP、I/Oセルなど数百個ものブロックで構成されています。それぞれのブロックは、設計時に個別に検証されているかもしれ

ませんが、これらをフルチップにコンパイルする際には、デッド・ゾーンの不足、ブロック配置エラー、パッド・リングの位置合わせの問題、ブロック・リビジョン管理の問題など、ハイレベルの問題が生じることが多く、これらを特定して修正する必要があります。これらハイレベルの問題は、数がわずかであっても、ローレベルのDRC違反に換算すると膨大な数にのぼっていることがあります。最上位の設計者がチップを最初にコンパイルして実行した場合、数十億ものDRCエラーが発生することも珍しくありません。従来のDRCツールは、洗練されたとはいいがたい方法でチェックを実行して、過剰な解析が行われることが多かったため、最初のダーティなデザインの場合、数百ものCPUコアを使用してもチェックの完了に数日かかることがありました。このような方法では、テープアウトを目前に控えた時期に何週間分もの演算時間を無駄にしまう可能性があります。

IC ValidatorのExplorer DRCは、ファウンドリ・ランセットおよびその他のメソドロジからの基本的なルールを自動的に実行し、デザインの健全性を迅速に評価します。デザインが比較的クリーンであれば、IC Validatorはそのままチェックを継続し必要なDRCサインオフ・チェックをすべて実行します。

Explorer DRCは、ダーティなデザインにおける演算効率が従来のフローに比べ飛躍的に改善されており、1/5のコア数で5倍の処理速度を実現しています。

実際、一般的な7 nmのフルチップ・デザインの場合、Explorer DRCを使用すればダーティなデザインであっても16または32コアもあれば数時間でチェックが完了します。このため、デザインの基本的な問題を夜間のうちに検出しておき、翌日ただちに修正を開始できます。IC Validatorには、デザインのトポロジを迅速かつ直感的に評価できるグラフィカルなエラー・ヒートマップも用意されています。数十億ものエラーが発生していても、修正が必要なマクロの問題（重複など）が埋もれてしまうことなく、簡単に特定できます。このヒートマップには、違反の多い箇所（ホット・エリア）が赤で表示され、違反が少なくなると青（クール・エリア）の表示に変わります。多くの場合、重複や誤ったフィルなど、エラーがどのブロックのどの問題と対応しているのかがひと目でわかります（図3）。

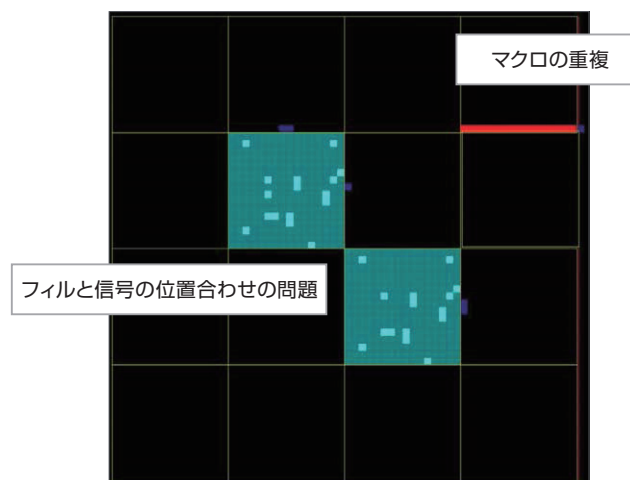


図3：エラーの位置、密度、重大度を視覚的に表示する DRC ヒートマップ

使用する CPU リソースを増やしてサインオフ検証の時間を短縮する

テープアウトのスケジュール終盤になると、最後の検証ジョブをなるべく短時間で完了できるように、多数のCPUコアを確保する作業が発生します。最大規模のFinFETチップをテープアウトするには相当な演算リソースが必要で、このことが多くの企業のITインフラストラクチャにとって大きな負担となっています。

IC Validatorが1つのジョブを数千個のコアに効率よく分散できるのは、プロセスを初期化および制御するスケジューラの革新性に理由があります。このスケジューラは、チェック・シーケンスにおけるファイル局所性が最適となるように、各コアで実行するコマンドをキューに格納します。また、実行中は各コアに必要なメモリーをインテリジェントに推定してコア間のバランスをとると同時に、ディスクのピーク使用量が最小となるようにします。更に、各コアの負荷を動的に監視し、コアとメモ

リーの利用効率が最大となるようにシステムを調整します。そして重要なのは、これらの機能は理想的な環境でなくても効果を発揮するように設計されているという点です。現実には、異種ホストの混在環境で1つのジョブを千個のコアを使って分散実行することもあれば、ディスクを接続するネットワークのレイテンシが問題になることもあります。こうした場合を考慮し、IC Validatorには予期しないホストの再起動、ネットワークやソケットの障害、マシンのクラッシュ、ディスク容量不足などを検出して回復する耐障害性機能があります。

IC Validatorのスケジューラは自動での動作に加え、実行中にユーザーが手動でジョブ・リソースを変更することもできます。また、ジョブ開始時には数コアのみを使用し、実行中にコア数を増やして処理速度を高めるといった弾力的なCPU管理機能もあります。一般的なコンピューティング・ファームで数百コアを必要とするジョブを実行しようとしても、それだけの数のコアが利用可能になるのを待っていると、なかなかジョブを開始できない可能性があります。IC Validatorなら、テープアウト前に200または300コアが必要なDRCを実行する場合でも、まず16コアで実行を開始しておき、残りのコアは利用可能になり次第自動で追加するといったことが可能です。

これほどまでに効率的でスケーラブルなフィジカル検証システムがあれば、コア数を増やすだけで実行時間をいくらかでも短くできます。しかし自社のコンピューティング・ファームで1000個ものコアを利用できるとは限りません。そのような場合は、クラウドを利用します。

IC Validatorは、クラウドへの対応が実証済みのフィジカル・サインオフ・ソリューションで、既にクラウド環境での運用により量産デバイスのテープアウトに成功した事例も報告されています。以下のグラフは、Amazon Web Services (AWS) クラウド上でIC Validatorを利用した場合の、7 nm 量産デバイスのDRC実行時間を示したものです。クラウド上でコア数を増やすことにより、ツール実行時間が1日未満にまで短縮していることが分かります。

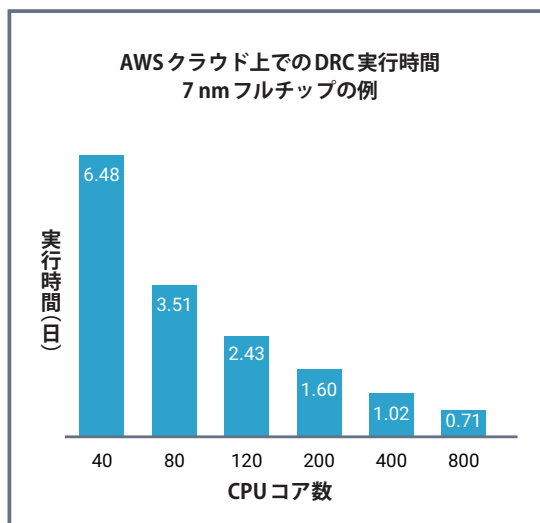


図4：エラーの位置、密度、重大度を視覚的に表示するDRCヒートマップ

テープアウトの生産性を高める IC Validator

スケジュールどおりにテープアウトを達成するには、ツールの性能をどこまで高められるかが鍵となります。IC Validatorは、IPおよびブロック・レベルの設計フェーズからフルチップのDRCチェックまでフィジカル検証の時間を短縮し、高い生産性をもたらします。

IC Validatorを使用したフィジカル検証の詳細は、www.synopsys.com/icvalidator をご参照ください。



日本シノプシス合同会社

〒158-0094 東京都世田谷区玉川2-21-1 ニ子玉川ライズ オフィス TEL.03-6746-3500(代) FAX.03-6746-3535
〒531-0072 大阪府大阪市北区豊崎3-19-3 ピアスタワー13F TEL.06-6359-8139(代) FAX.06-6359-8149