

Implementation 系ツール トレーニングのご案内

お問い合わせ先

日本シノプシス トレーニングセンター

電話 03-6746-3777

FAX 03-6746-3737

E-mail [連絡フォーム](#)

Design Compiler

コース名	Design Compiler 基本コース
概要	論理合成の基礎および DC Ultra, を利用した論理合成手法の基本を解説
所要時間	6時間(10:00-17:00) 演習あり
受講前提条件	UNIX 基本コマンドの知識 Verilog/VHDL の基本知識
コース内容	イントロダクション GUI の利用方法 合成制約の設定方法 各種合成手法 レポート機能について
演習内容	Design Compiler の操作方法 基本的な設定 最適化コマンドの実行およびレポート取得

DC Topographical & DC Graphical

コース名	DC Topographical & DC Graphical
概要	物理ライブラリの設定方法および、物理合成手法の基本を解説
所要時間	6時間(10:00-17:00) 演習あり
受講前提条件	UNIX 基本コマンドの知識 DC Ultra の基本知識を有している
コース内容	イントロダクション 物理ライブラリ設定 GUI の利用方法 各種合成手法 各種レポート機能
演習内容	DC Topographical の実行環境設定 DC Topographical を利用した最適化 DC Graphicaphical を利用したコンジェスジョン解析および緩和手法

DC Explorer

コース名	DC Explorer
概要	RTL 品質向上に向けた RTL 設計早期段階での使用法と解析手法を解説
所要時間	4時間(13:00-17:00) 演習あり
受講前提条件	UNIX 基本コマンド知識 HDL 言語の基本知識 DC Ultra の基本知識
コース内容	イントロダクション RTL 解析 制約解析 各種レポート機能 運用モデル
演習内容	基本的な設定と実行 タイミング解析

IC Compiler

コース名	IC Compiler 1
概要	IC Compiler を使用して適切な混雑度とマルチコーナー・マルチモードのタイミング制約を持ったブロックレベルデザインの物理設計手法について
所要時間	2日間 / 演習あり
受講前提条件	UNIX テキストエディタ(emacs,vi,pine 等)が使用可能であること。 フィジカル設計、レイアウト、スタンダードセルの配置/配線に関する基本的な概念と用語についての知識を有していること。
コース内容	データベース(Milkyway)の基本概念と作成方 IC Compiler を用いた、ブロックレベルのフロアプランニング 中規模データを用いた、マルチコーナー・マルチモードを考慮したデザインの配置/CTS/配線等
演習内容	IC Compiler を用いた、ブロックレベルのフロアプランニング及び、中規模データを用いた、マルチコーナー・マルチモードを考慮したデザインの配置/CTS/配線等を LCRM(Lynx Compatible Reference Methodology) で実施
その他	本コース受講者及び IC Compiler を用いた回路設計経験者には、階層フロアプランニングである、HDP(IC Compiler2)も用意されています。

Prime Time /PT-GCA/PT PX

コース名	PrimeTime Basic コース
概要	本トレーニングコースでは、スタティックタイミング解析(STA)ツールである PrimeTime を使用するために、PrimeTime の起動から基本的な使用方法までを解説、演習より習得していただくことを目的としております。
所要時間	演習あり: 7 時間 30 分(演習含む、昼食休憩は含まない)
受講前提条件	PrimeTime の初心者、LSI デザインの基礎知識をお持ちで、UNIX/Linux でエディットをするための基本的なコマンドを使用可能な方であれば受講可能です。基礎知識として Design Compiler の知識があれば、より理解していただきやすいです。 PrimeTime の使用経験がおありの方は基本技術の復習として受講いただけます。
コース内容	<ol style="list-style-type: none"> 1. 概要 2. PrimeTime の起動 3. デザインの読み込みとリンク 4. タイミング制約の設定 5. 環境属性の設定 6. タイミング解析(レイアウト前:WLM) 7. タイミング解析(レイアウト後:SPEF) 8. タイミング解析(レイアウト後:SDF)
演習内容	コース3~6, 8終了後、それぞれの内容に即した演習を行います (演習時間:約2時間30分)
その他	コース7は、デザイン開発において SPEF フローを使用されないお客様につきましては省略させていただくことも可能です

Formality

コース名	Formality Jump Startトレーニング
概要	Formality の基本的な使用方法を説明
所要時間	演習あり: 4時間 (標準13:00~17:00)
受講前提条件	Unix の基本コマンドの知識 合成・テスト・P&R で実装される一般的な要素技術に関する知識 弊社別製品(DC/PT/ICC)のご使用経験者
コース内容	弊社プロダクトを使用した LSI 開発フローにそった Formality のご利用方法を紹介 <ul style="list-style-type: none">• フロー概要• Guidance(DC からの SVF 活用方法)• デザインの読み込み• 各種設定コマンド• マッチ• 検証• デバック方法
演習内容	GUI/シェルを使用したRTL対合成後ネットの検証およびデバックの演習等
その他	エキスパート向けトレーニングに関しては別途ご相談下さい

StarRC

コース名	StarRC 基本コース(ゲートレベル/トランジスターレベル)
概要	ITF の作成から、入力データベースに対応した設定方法、寄生 RC 抽出のための機能の基本的な使い方を習得します。
所要時間	演習あり: 6 時間(10 時~17 時 昼食休憩を含む)
受講前提条件	UNIX の基本コマンドの知識 レイアウト及び寄生 RC 抽出についての基礎的な知識 LVS ツールに関する知識 (トランジスターレベルの場合のみ)
コース内容	イントロダクション ITF と MAP ファイル 入力データベースと設定 LVS ツールの設定 (トランジスターレベルの場合のみ) 各抽出機能について
演習内容	ITF 記述と GRD ファイルの生成 基本的な設定と実行 ゲートレベル/トランジスターレベル抽出
その他	ゲートレベルとトランジスターレベルで内容が異なりますので、お申し込みのときにどちらをご希望かご連絡ください。

Test (DFTC/DFTMAX/TetraMAX)

コース名	イベントベースでの開催のため、弊社担当営業経由でご依頼下さい
概要	ご希望の基本的な使い方を習得します
所要時間	演習あり: 6時間(10時~17時 昼食休憩を含む) コースにより1日~3日
受講前提条件	UNIX の基本コマンドの知識 Design For Test についての基礎的な知識 Design Compiler/Power Compiler に関する基本的な実行経験
コース内容	イントロダクション DFTMAX での各種設定と DFT 回路の生成 TetraMAX ATPG での各種設定とパタン生成 その他のアドバンス機能について
演習内容	DFTMAX による DFT 回路の挿入 TetraMAX ATPG でのパタン生成 VCSでのATPGパタンの検証(オプション)
その他	IEEE1149.1 や Diagnosis 関連は上記には含まれませんので、 別途弊社担当営業までお問い合わせ下さい