

ASIP Designer : ASIP (特定用途向けプロセッサ) 設計ツール

特長

- ASIPの設計と検証にかかる期間を短縮
- シノプシス独自のCompiler-in-the-Loopテクノロジーにより、アーキテクチャ検討が短期間で完了
- シノプシスの特許技術により、以下を含むソフトウェア・キット (SDK) を自動生成
 - ・リターゲット可能なC / C++コンパイラ
 - ・リターゲット可能な命令セット・シミュレータ (ISS)
 - ・リターゲット可能なリンカ、アセンブラ、逆アセンブラ
- RTLハードウェアを自動生成

概要

ASIP Designerは特定用途向けプロセッサ (ASIP) の設計と検証に向けたツール・スイートです。

最近のマルチコアSoCは、その多くがASIPをベースに構成されています。SoCには数多くの複雑なシステム機能が統合されますが、その1つ1つに性能、柔軟性、消費電力、通信機能、設計期間のバランスが要求されます。汎用プロセッサ・コアに多数の固定ハードウェア・アクセラレータを組み合わせた従来のモデルでは、もはや現在のアプリケーションの要求を満たすことができません。ASIPなら、システム機能ごとに最適なバランスをとることができます。

ASIP Designerは、アーキテクチャ検討およびプロファイリング、ハードウェア生成、検証を含めASIPベースの設計を全面的にサポートします。また、高度な最適化が可能なC / C++コンパイラ、命令セット・シミュレータ (ISS)、デバッグを含むソフトウェア開発キット (SDK) を生成する機能もあります。

ASIP Designerは小規模なマイクロプロセッサからDSP主体のコア、VLIWおよびベクトル・プロセッサまで幅広いアーキテクチャをサポートしています。ASIPの命令セット・アーキテクチャは、高級言語のnMLを用いてプロセッサのプログラム・マニュアルと同じ抽象度で記述できます。プロセッサのプリミティブ命令およびそのI/Oインターフェイスのビット精度のビヘイビアはCで定義します (図1)。

リターゲット可能なC / C++コンパイラ

- プロセッサ・モデリング言語nMLを利用した画期的アプローチにより、コンパイラのリターゲット性が向上
- アーキテクチャ検討機能。異なるプロセッサ・アーキテクチャをnMLで記述し、各アーキテクチャ上でベンチマークC / C++プログラムをコンパイルして結果を評価することで性能を比較
- 汎用プロセッサから特定用途に限定したASIPまで幅広いプロセッサ・アーキテクチャをサポート
- 以下のプログラミング言語をサポート
 - ・ISO C99 (オプションでC++のクラスと関数オーバーロードを利用したユーザー定義のデータ型と演算子による拡張が可能)
 - ・C++ (現在はLLVMコンパイラ・フロントエンド・テクノロジーにより主に32ビットASIPが対象)
 - ・OpenCL C (OpenCLカーネル言語)
- C++メンバー関数をサポート
- 効率的なコンパイラ最適化
 - ・高抽象度のコード最適化: データ・フローおよびポインタ解析、定数畳み込み、強度低減、共通部分式除去、帰納変数解析、ループ不変コード解析、ハードウェア・ループ選択、デッドコード (到達不能コード) 削除、インライン展開
 - ・専用の命令を利用したコード選択
 - ・分散レジスタ間の異なる配線方式をサポートするレジスタ割り当て
 - ・最適化した呼び出し元または呼び出し先に基づくコンテキスト・スイッチングによりサブルーチンを効率よくインプリメント。オプションでプロシージャ間最適化、スタック / レジスタ・ベースの引数受け渡し、スタック・メモリー・アドレス最適化をサポート
 - ・命令レベルの並列性を利用したソフトウェア・パイプラインによるスケジューリング (オプションで長いレイテンシの命令をサポート)
 - ・レーン単位のプレディケーションにより、ベクトル・プロセッサのCプログラムで高度な制御フロー構文をサポート
 - ・OpenCL Cプログラムの関数全体のベクトル化およびバリア同期
 - ・組み込み関数呼び出しおよびインライン・アセンブリ・コードをサポート

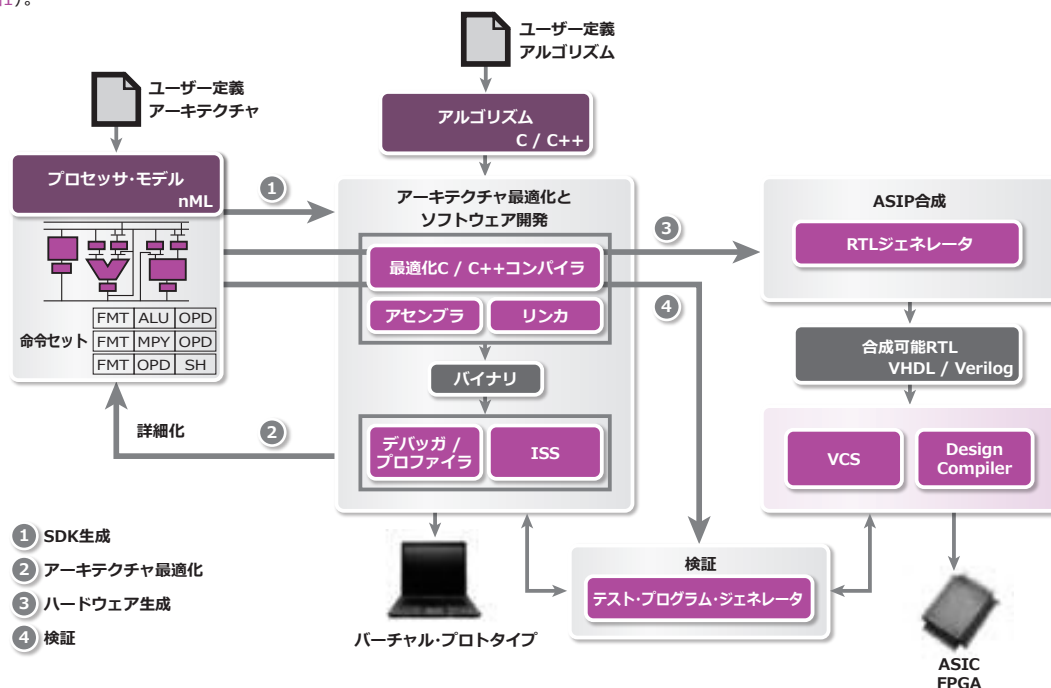


図1. ASIP Designerのツール フロー

リターゲット可能なコンパイラでサポートされる主なアーキテクチャ機能

算術演算	・汎用および特定用途向けの算術演算ユニット
データ型	・汎用および特定用途向けのデータ型(固定小数点、浮動小数点、複素数、ベクトル・データ型など)
パイプライン	・命令パイプラインの段数を幅広くサポート ・マルチサイクル / マルチワード命令、遅延スロット、コンパイラによるパイプライン・ハザードの解決
命令フォーマット	・直交性の高い命令フォーマットからエンコード命令フォーマットまでサポート ・可変長命令および命令圧縮をサポート
メモリー・アーキテクチャ	・複数のメモリー・タイプおよびメモリー・ポートをサポート ・指標付き、直接 / 間接アドレッシング、後置修飾、循環バッファリングなど多彩なアドレッシング・モード
レジスタ・アーキテクチャ	・汎用レジスタ・ファイルから専用レジスタまで ・結合オペランド / 結果レジスタをサポート
制御フロー	・サブルーチンと割り込みをサポート(ソフトウェア・スタックあり / なし) ・ハードウェア・ループ命令、モード・レジスタを利用したレジデュアル制御、プレディケーションによる実行(ベクトル・プロセッサのレーン単位のプレディケーションを含む)をサポート ・マルチスレッド・プロセッサをサポート

- バイナリ・マシンコードをELFオブジェクト・ファイル・フォーマット(DWARFセクションにソースレベルのデバッグ情報を含む)で生成
- ASIP Designerのグラフィカル開発環境(IDE)に統合

リターゲット可能な命令セット・シミュレータ

- プロセッサ・モデリング言語nMLを利用した画期的アプローチにより、ISSのリターゲット性が向上
- 命令パイプラインの完全な監視によるサイクル精度のシミュレーション
- コンパイル済みコードの高速な命令精度シミュレーション
- ELF実行ファイル(オプションでDWARFフォーマットのソースレベル・デバッグ情報を含めることが可能)を読み込み
- ASIP Designerのグラフィカル開発環境に統合。このIDEをプロセッサ・ハードウェアに接続してJTAGポート経由などでオンチップ・デバッグが可能
- 実行した命令とソースコードのステートメントの対応関係、およびレジスタ / メモリー・アドレスとソースコードの変数の対応関係を示すソースレベルのデバッグ機能
- 命令およびソースコードのステートメントに対するブレークポイントをサポート。レジスタおよびメモリー・アドレスに対するウォッチポイントをサポート
- 命令、記憶域、機能ユニット、パイプライン・ハザードのプロファイリング
- 波形プロットおよび解析機能
- API経由でサードパーティのシミュレータおよびIDEに接続し、プロセッサとその環境を協調シミュレーション
- スタンドアロンのC++ベース・シミュレータを生成
- SystemC TLM2.0インターフェイスを生成。これにより、シノプシス Virtualizerなどでバーチャル・プロトタイプを用いて実チップ完成前のソフトウェア開発が可能

リターゲット可能なソフトウェア・バックエンド・ツール

- ソースファイルまたは関数ごとに別々にコンパイルしたELF / DWARFオブジェクト・ファイルから実行ファイルをビルドするリターゲット可能なリンカ
- アセンブリとバイナリ・フォーマットの間でマシン・コードを双方向に変換するリターゲット可能なアセンブラと逆アセンブラ。アセンブリ言語の構文はユーザー定義可能で、プロセッサのnMLモデルの一部として指定

詳細情報

- シノプシスのASIP設計ツール ウェブページ <http://www.synopsys.com/asip>

RTLジェネレータ

ASIP Designerにはリターゲット可能なRTLハードウェア・ジェネレータも含まれます。リターゲット可能なC / C++コンパイラと命令セット・シミュレータでASIPを最適化したら、RTLハードウェア・ジェネレータを利用して新しいASIPのハードウェアを短時間で効率よく生成できます。このRTLジェネレータには以下の特長があります。

- プロセッサのnML記述を合成可能なVHDL / Verilogコードに自動で変換
- 同期ロジックを用いた構造型設計スタイルをサポート
- 生成したRTL記述は市販の標準ASIC / FPGA合成ツールで効率よく合成可能。シノプシスのリファレンス設計メソッドロジをサポートしており、合成スクリプトも自動で生成
- 既存のハードウェア・ブロックをRTLデザインに統合可能
- オンチップ・デバッグ・ロジックを自動で生成(JTAGなどを使用)
- RTLスタイルに影響する多くのコンフィギュレーション・パラメータをユーザー定義可能
- レジスタ単位の選択的クロック・ゲーティングやオペランド・アイソレーションなどのローパワー・デザイン最適化をサポート
- シミュレーション用のテストベンチを自動で生成

テスト・プログラム・ジェネレータ

ASIP Designerにはリターゲット可能なテスト・プログラム・ジェネレータも含まれており、ASIPに対するアセンブリ・レベルのテスト・プログラムを短時間で大量に生成できます。これらはISSおよびASIPのRTLモデルの両方で実行でき、モデルの整合性を確認できます。これは、デザインにカスタム・ハードウェア・モジュールを追加する場合や、プロセッサのレガシーRTLインプリメンテーションに対してnMLプロセッサ・モデルを検証する場合に特に役立ちます。このテスト・プログラム・ジェネレータには以下の特長があります。

- 生成するテスト・プログラムの基本構造をテンプレート・ファイルでユーザー定義可能
- 効率のよいランダム・ジェネレータ機能により、生成したコード内の命令サブクラスおよびビット・パターンを自動で選択。ランダム・ジェネレータはエラーの起こりやすいパターンを優先的に設定可能
- カスタマイズ可能なフォルト・カバレッジ解析機能
- 選択的テスト・ストラテジにより、プロセッサの特定のサブシステムに対して重点的に検証を実行し、高いフォルト・カバレッジを達成可能
- 自動生成したISSおよびRTLシミュレータとの接続が容易