複雑なSoCの検証課題を解決する先進のソリューション

Michael : 日本のエンジニアの皆様、明けましておめでとうございます。シノプシスのベリフィケーション・グループでマーケティング担当シニア・ディレクタを務めておりますMichael Sanieです。本稿では、シノプシスのベリフィケーション・グループ、マーケティング担当副社長のDave DeMariaより、今後のSoC検証で必要となるソリューションについて話を聞きたいと思います。

Dave : よろしくお願いします。

Michael : 最近は検証ツールに関するトピックがホットですね。この分野は大きなテクノロジ進化が期待されていますし、実際、シノプシスはたくさんの新ツールを発表しています。お客様各社とのエンゲージメントも活発です。この背景には何があると考えますか？

Dave : まず、お客様各社がどのようなデバイスを開発されているのかをよく見ていく必要があります。ここ数年は、モバイル機器がビジネスの大きな原動力となっています。また、最近はInternet of Things（IoT）やウェアラブルも次の起爆剤として話題になっています。家電にも大きな需要があります。そして、これらのネットワーク接続機器をサポートするクラウド・インフラストラクチャも重要です。これらの分野ではいずれもマルチコア・チップの開発が必要となります。最近はCPUとGPUが統合され、たくさんのインターフェイスが採用されるなど機能が急速に融合し、チップはますます複雑になっています。このため設計プロセスも複雑になり、その結果、検証の問題も以前に比べはるかに複雑になっています。

Michael : 具体的に、お客様各社からはどのような課題が報告されていますか？

Dave : これまでのさまざまなお客様との話し合いを総合すると、主に4つの課題が見えてきます。1つ目は検証作業の全体的な複雑度が増している点です。単にチップのサイズが大規模になったということではなく、チップ・デザインそのものが非常に複雑になっているためです。2つ目は、誰もが苦労している電力効率の問題です。消費電力はモバイル・アプリケーションにおいて特に切実な問題ですが、最近はそれ以外のアプリケーションでも必ず問題になっています。3つ目はソフトウェアの問題です。近年ソフトウェアのコード量が増え続けており、ソフトウェアとハードウェアの組み合わせをなるべく早く検証することが必要になっています。そして4つ目は、誰もが直面するTime-to-Marketの問題です。これらの課題は、年々深刻になっています。

Michael : ただ今指摘のあったTime-to-Marketについてですが、この課題に対処するためにシノプシスは全体的にどのような取り組みを進めているのでしょうか？すでに開発中のものや現在計画中のものを含め、検証テクノロジの観点から教えてください。

Dave : シノプシスの取り組みについてお話しする前に、現在お客様各社がこの問題にどのように対処されているのかという点に触れておきましょう。現在、お客様各社の間で大きなトレンドとなっているメソドロジがあります。これをシノプシスは「シフトレフト」[※1]と呼んでいます。呼び方は人それぞれですが、基本的には検証サイクルを前倒しして、バグをより早い段階で検出 / 修正しようというものです。そのためにはこれまで以上に多くの検証テクノロジが必要です。たとえばインプリメンテーション段階でバグを検出するための新しいスタティック / フォーマル検証テクノロジや、より早期にソフトウェア検証を開始できるようにするための最新のエミュレーションおよびプロトタイピング・テクノロジなど、非常に多くの新しいテクノロジが必要となります。シノプシスは、これらすべての分野で業界最高水準のテクノロジを開発すること、そしてそれらを1つのソリューションとしてシームレスに統合することに力を入れています。

Michael : このシノプシスの検証戦略とロードマップは、そうしたお客様各社のニーズ応えているのでしょうか？

Dave : これまで見てきたところ、お客様各社のニーズとは非常に一致していますので、この方向性が間違っていないという確信を強めています。シノプシスと他社の違いの1つに、業界のリーディング・カンパニー各社との協業の進め方があると思います。私たちは新しい検証ビジョンに関して、何年も前から業界を代表する数社と共同作業を進めてきました。ビジョンの具現化に当たっては、こうした協業が非常に大きな力となっています。こうしたプロセスを通じて、私たちはお客様各社のニーズとのすり合わせに成功しています。

Michael : これまで検証コミュニティに向けて発表した製品にはどのようなものがありますか？

Dave : 検証に関して言えば、2014年は記念すべき年となりました。まず、2月に次世代エミュレーション・システムのZebu Server-3を発表しました。これは、2年前のEve社買収以後に生まれた初の新製品です。Zebu Server-3は他のシステムに比べ最大4倍の速度で動作する業界最速エミュレータで、容量も業界最大の30億ゲートまで対応しています。ユーザーの皆様には、その違いをはっきりと実感していただいています。3月にも大きな製品発表をしました。検証エンジニアの皆様にとって画期的な新製品Verification Compiler（VC）です。Verification Compilerはいくつもの業界最高水準のソフトウェアツール・ベース・テクノロジを1つの製品にネイティブ統合したもので、先ほど述べた検証課題への対処を強化すること、そしてお客様各社の生産性を向上させることを主な目標としています。さらに6月にもVerification Compilerに関連する2つの発表を行いました。1つは、新しいスタティック / フォーマル・テクノロジの提供開始です。これは3年前にゼロから開発を始めた次世代ツールで、従来の製品に比べ3～ 5倍のパフォーマンスと容量を備えています。複雑化が進むチップの検証にはこのツールが欠かせません。もう1つ、6月初めには検証用IP（VIP）の拡張に関する発表を行いました。シノプシスは2012年に100% SystemVerilogに基づいた次世代アーキテクチャのVIPを発表しましたが、今回の発表は、これをメモリー・モデル領域に拡張したもので、これによって包括的なVIPソリューションが完成したことになります。このように、2014年にはいろいろな動きがありました。今後も新技術の発表を予定しています。

Michael : なるほど。これからもシノプシスの検証テクノロジには要注目ですね。検証エンジニアの皆様、ご期待ください。

シノプシス　ベリフィケーション・グループ　マーケティング担当シニア・ディレクタ　**Michael Sanie**
シノプシス　ベリフィケーション・グループ　マーケティング担当副社長　**Dave DeMaria**

本稿は「Synopsys Insight」より動画でご覧いただけます。
動画：「Addressing Complex SoCs with Advanced Verification Solutions」（http://insight.synopsys.com/synopsysinsight/issue_2__2014#pg7）

※1本号に関連特集記事を掲載中！
詳細は「『シフトレフト』で検証期間を短縮し、製品の早期市場投入へ　P11-14」をご覧ください

IPプロバイダのあり方を再定義するIP Acceleratedイニシャティブ

John：日本のハードウェア設計者の皆様、そしてソフトウェア開発者の皆様、明けましておめでとうございます。シノプシスのソリューション・グループでマーケティング担当副社長を務めておりますJohn Koeterです。そしてこちらは同じくソリューション・グループの上級副社長兼ジェネラル・マネージャ、Joachim Kunkelです。さて、現在シノプシスのお客様各社は非常に厳しいスケジュールの中で最先端のSoC開発に取り組んでおられます。さらに、最近はソフトウェア開発コストが予算の50%にも達しているというお客様の声もよく耳にします。IP Acceleratedイニシャティブはこれらの課題にどうお応えしていくのでしょうか？

Joachim：このイニシャティブでは、IPユーザーの皆様に3つのものが提供されます。1つはIP Prototyping Kit、もう1つはソフトウェア開発キット、そしてもう1つはコンフィギュラブルなカスタマイズ済みIPです。加えて、SoCへのインテグレーションを実際にお手伝いするという取り組みもご提供しています。

John：ではまず、IP Prototyping Kitについて教えてください。

Joachim：IP Prototyping Kitとは、いわばIPのリファレンス・インプリメンテーションです。具体的には、IPをHAPSベースのFPGAプロトタイプに実装したものが提供されます。これにはPHYドーター・カードが付属しており、USB、PCI Express、Serial ATA（SATA）などのインターフェイスIPにケーブルを物理的に接続できます。ケーブルのもう一方はディスク・ドライブやPCなど任意の外部デバイスを接続します。こうして、短期間で実機システムを実際に動作させることができます。

John：IP Prototyping Kitには、Linux®やリファレンス・ドライバを実行できるARCプロセッサ・ベースのソフトウェア開発プラットフォームも付属していますね。このARCソフトウェア開発プラットフォームの狙いは何でしょうか？

Joachim：グッド・クエスチョンです。ハードウェアのバリデーションはもちろん重要ですが、それさえもソフトウェアがなければ成り立ちません。先ほど申し上げたようなインターフェイスが実際に機能しているかどうかは、ソフトウェア・ドライバを動作させてみなければ確認できません。ですから、こうしたソフトウェアを実行できるようにする必要があります。それにはまず、何らかのプロセッサ上でそのソフトウェアを開発できる環境を提供する必要があります。そこで、シノプシスはIPリファレンス・デザインを含むFPGAプロトタイピング・キットに付属する形でARCベースのプロセッサ・サブシステムも提供しているわけです。この32ビット・プロセッサ・サブシステム上でLinuxを動作させて、32ビット・ドライバ開発を行っていただけます。

John：キットを組み立てて動作させるにはどれくらいの時間がかかりますか？

Joachim：文字通り、ほんの数分です。以前その作業に立ち会ったことがありますが、パッケージを開けてからセットアップが完了するまで15分ほどでした。しかもそのほとんどは、私への作業内容の説明でしたから、おそらく実質は5分か10分くらいのものでしょう。信じられないかもしれませんが、本当です。

John：短時間でイタレーション・フローを実行できる点もIP Prototyping Kitのメリットですよね。

Joachim：その通りです。まぎれもなく、リファレンス・デザインを提供することの意義は、複雑でなく理解しやすいものを提供することにあります。チップ設計に複雑さはつきものです。そこで、IPをコンフィギュレーションし、新しいビット・ファイルをFPGAプロトタイプにダウンロードして動作が正しいことを確認するという反復作業を、これまでより短時間で実行できる自動化されたフローを提供しているわけです。

John：IP Prototyping Kitはハードウェア開発者やプロトタイプ開発者がIPバリデーションを短期間で実行できるというメリットをもたらすとのことですが、ソフトウェア開発にとってのメリットとは何でしょうか？

Joachim：ソフトウェア開発者は、FPGAベース・プロトタイプとして提供されるコンフィギュレーション済みのIPを利用して、開発プロジェクトの早い段階からドライバの最適化、ミドルウェアの開発やカスタマイズなど多くのことを行っていただけます。もう1つのアプローチとして、シノプシスは仮想プロトタイプをベースにしたソリューションもご提供しています。ソフトウェア開発者にバーチャル・ターゲット・システムを提供しているわけです。バーチャル・ターゲットを利用すると、実際のハードウェアを利用した場合とほとんど同じ方法でソフトウェアを開発できます。唯一の違いは実際のハードウェアがないということ、つまりバックグラウンドで動作するIPのハードウェア表現が存在しないということです。それ以外はソフトウェア開発者からは同じように見えます。ソフトウェア開発作業を容易にするため、シノプシスはリファレンス・ドライバや移植済みオペレーティング・システム、これは通常Linuxですが、その他さまざまなものを含むソフトウェア開発キットを「IPソフトウェア開発キット」という名前でご提供しています。FPGAベース・プロトタイプとして提供されるIP Prototyping Kitの場合と同様に、これらすべてがすぐに使える状態で提供されるため、環境のセットアップはほんの数分で完了します。ですから、準備作業に時間を奪われることなくIP用ソフトウェアの開発に専念していただけます。

John：お客様各社からはさらなる高機能化、そしてIPをSoCに統合する作業のさらなる簡略化を求める声がますます強くなっています。こうしたニーズにIP Acceleratedイニシャティブはどのようにお応えするのでしょうか？

Joachim：冒頭でもお話ししましたが、まず、コンフィギュレーションしたIPのバリデーションを支援するサービスをご提供します。これはIPをSoCに統合する前に実行しておく必要があり、とても重要な作業です。第2に、そのIP専用のソフトウェア、またはそのIPに依存するソフトウェアの開発も支援できます。そして第3は、IPをチップに統合する際に制御とPHYの統合も必要となることがありますが、この作業の自動化も支援します。また、SoCに存在するクロッキング、リセット信号、サイドバンド信号を扱うために必要なロジックも一部提供しています。

John：これ以外に、シノプシスはお客様各社のIPインテグレーションをどのような形で支援していますか？

Joachim：最近のプロジェクトはどんどん複雑になっており、IPのコンフィギュレーションとカスタマイズ、そしてSoCへのインテグレーションを実際に手伝ってほしいという要望も寄せられています。そこで、シノプシスのスタッフが開発チームの一員として合流し、オンサイトで作業に携わるという取り組みも、これまで何度も行っています。

John：それは素晴らしいですね。シノプシスは、従来のIPプロバイダの枠組みを飛び越えて、ハードウェア設計者とソフトウェア開発者が、より少ない労力 / 開発リスク / 開発期間でIP統合を完遂しソフトウェア開発を行うのを支援するために、IPプロバイダが提供しなければならない真のソリューションを提供しているということですね。

Joachim：まさに、その通りです。是非、厳しい市場競争を勝ち抜くために有効活用していただきたいと思います。シノプシスは、全力で支援させていただきます。

シノプシス　ソリューション・グループ　マーケティング担当副社長　**John Koeter**
シノプシス　ソリューション・グループ　上級副社長兼ジェネラル・マネージャ　**Joachim Kunkel**

本稿は「Synopsys Insight」より動画でご覧いただけます。
動画：「New IP Accelerated Initiative: Redefining the IP Supplier Paradigm」（http://insight.synopsys.com/synopsysinsight/issue_2__2014#pg8）

IC Compiler IIのご紹介

日本の設計者の皆様、明けましておめでとうございます。シノプシス　デザイン・グループ　主席上級副社長兼ジェネラル・マネージャのAntun Domicです。デザイン・グループはPrimeTime、Design Compiler、IC Compiler、HSPICE、FineSimなどのインプリメンテーション製品を一手に扱っています。これらの製品は現在、世界中のチップ設計の大半で使われています。

2014年は、シノプシスにとってもインプリメンテーション技術の歴史にとっても記念すべき1年となりました。フィジカル設計に革命をもたらす最新鋭の配置配線ツールIC Compiler IIを設計者の皆様にお届けすることができたからです。この製品は、この分野で市場をリードしてきたIC Compilerの後継となるもので、従来のフィジカル設計の常識を塗り替えるインパクトを持っています。

IC Compiler IIは、完全なインプリメンテーション機能を備えた配置配線システムで、処理速度の向上を目指してゼロから開発されました。その結果、スループットが飛躍的に向上し、結果品質（QoR）もさらに改善しています。シノプシスはこれまで25年にわたり、RTL論理合成、スタティックタイミング解析（STA）、フィジカル合成などマイルストーンとなる新技術をいくつも発表し、エレクトロニクス設計のあり方を根底から変革してきました。このたび発表したIC Compiler IIも、これらに匹敵する大きな革新力を持った製品といえます。IC Compiler IIは大幅な高速化を実現しており、これまで1週間かかっていた作業が1日で行えるようになるなど、フィジカル設計にまったく新しい可能性をもたらします。

IC Compiler II誕生の源流はIC Compilerまでさかのぼります。数年前、シノプシスは社内である検討を開始しました。IC Compilerは世界全体のデザインの約2/3で採用され、幅広いアプリケーションで実績があり、成熟したプロセスから最先端ノードまで幅広いテクノロジに対応するなど、長年にわたって圧倒的な市場リーダーとして君臨しており、ユーザー・ベースも更に拡大を続けています。こうした中、今後もユーザーの皆様に最高のソリューションをご提供し続けていくにはどうすればよいかと考え、1つのアプローチを自らに問いました。それは、IC Compilerをクラス最高のツールとして維持するための開発を続けながら、それと同時に新しい配置配線システムをゼロから開発するという並行開発のアプローチでした。これにより、設計者の皆様の生産性を飛躍的に向上させることが可能かどうかを検討しました。

お聞きになったことがあるかもしれませんが、後にIC Compilerとなった「Galileo」プロジェクトの後、シノプシスは数年前から「Newton」プロジェクトという名前でIC Compiler IIの開発イニシャティブを進めてきました。複数年にわたるこの大規模な開発プロジェクトは、成功に不可欠な3つの要素を兼ね備えたシノプシスだからこそ成しえたといえます。3要素とは、並行開発を支えうる潤沢な人的資源、コア・アルゴリズムの抜本的な刷新を任せられる有能な技術スタッフ、そしてこの新しいテクノロジを実際のデザインに適用して更なる改良につなげるための貴重な助言を行ってくださる幅広いお客様各社との協業体制です。この結果、IC Compiler向けに最先端機能の開発を続けながら、それと並行して10倍の処理能力を実現した新しい配置配線ツールIC Compiler IIを世に送り出すことに成功したのです。

IC Compiler IIの高速化に貢献した技術について少し触れてみましょう。シノプシスでは今回、開発に必要な要素を3つのタイプに分類しました。それは、何を再構築し、何を再考し、何を再利用するかということです。

IC Compiler IIは新しいマルチスレッド技術基盤をもとにしており、5億インスタンスを超えるデザインも扱うことができます。そしてこの「再構築、再考、再利用」の開発方針の現れとして、IC Compiler IIは革新的なストレージ機能を導入しつつも、標準のインプット / アウトプット・フォーマット、使い慣れたインターフェイスとプロセス・テクノロジ・ファイルは踏襲しています。

ツール・システム設計の初期段階からフルチップ・レベルの処理容量実現にフォーカスして開発されたIC Compiler IIは、デザイン・プランニングに数々の斬新な機能を導入することにより、メモリー使用量を1/5に抑えながら10倍以上のパフォーマンス向上を果たしています。この結果、数多くのフロアプラン候補を短時間で評価して、その後のインプリメンテーション工程を最も有利な条件で開始できるベストなフロアプランを選択することができます。これがまさに常識を塗り替えると言われるゆえんです。

このチップレベル機能を補完するものとして、ブロックレベルの機能があります。これには新しいグローバル・アナリティカル最適化エンジン、まったく新しいクロックツリー・ジェネレータ、配線後の最適化を行う独自のアルゴリズム機能などがあり、面積、タイミング、消費電力という3つの重要な指標においてこれまで以上の結果品質を実現しています。IC Compiler IIは、共役勾配法（CG法）ベースの配置エンジンやZRoute配線エンジンなど、IC Compilerで使われている先進のテクノロジはそのまま継承しています。この再利用の方針は、ファウンドリによるツール認証を短期間で取得する上で極めて重要な点です。

IC Compiler IIは、結果を出すまでのランタイムが平均で5倍に高速化し、メモリー消費量は半分に抑えられています。ツール実行時間の短縮、最良のフロアプラン結果、優れた結果品質の実現、メモリー効率の高い実行環境などの組み合わせにより、設計のやり直しを大幅に削減することができ、設計生産性の更なる向上が実現します。

IC Compiler IIは、業界をリードするお客様各社の設計チームとの緊密な協業によって開発されました。この製品は、2014年3月発表時の限定リリースを経て同年12月に一般提供を開始し、既に多くの実製品向けチップのテープアウトに大きく貢献しています。その一例として、Imagination Technology™社は先ごろサンフランシスコで開催されたGame Developers Conference®にて、高性能GPUと新しいレイ・トレーシング・エンジンを組み合わせた画期的な新製品を発表しました。この製品の開発にもIC Compiler IIが使われています。また別のお客様では、ある量産デザインの中枢部分にIC Compiler IIが適用されました。この結果インプリメンテーションの処理が8倍に高速化しただけでなく、もともと厳しい目標を設定していた消費電力を仕様値未満まで削減することも可能になりました。また、パナソニック様、ルネサス様を始めとする日本のお客様各社でもご活用いただきテープアウトに貢献しています。これら以外にも、現在いくつかのテープアウトが進行中です。

こうした先行ユーザー各社の体験を見ると、より大規模なデザインをより高速に処理して、より多くの選択肢を検討できるようになるなど、10倍の処理能力が持つ変革力の大きさがよく分かります。今後、より多くのユーザーの皆様にこの強力なパワーをご活用いただけるものと期待しています。一方、IC Compilerは今後も改良とサポートを続けます。引き続きご利用いただきながら、最適なタイミングでIC Compiler IIにアップグレードしていただければと思います。

IC Compilerテクノロジは2015年以降も、皆様とともに技術革新を遂げてまいります。本年もどうぞ宜しくお願い申し上げます。

シノプシス　デザイン・グループ　主席上級副社長兼ジェネラル・マネージャ　**Antun Domic**

本稿は「Synopsys Insight」より動画でご覧いただけます。
動画：「Introducing IC Compiler II」（http://insight.synopsys.com/synopsysinsight/issue_2__2014#pg9）