

高性能組込み Linux アプリケーション向けの プロセッサ設計

シノプシス ARCプロセッサ担当 シニア・プロダクト・マーケティング・マネージャ Mike Thompson

Linux®など仮想メモリーに対応したオペレーティング・システムを使用する高性能な組込みSoCを設計する場合、消費電力を維持または削減しながらさらに高いパフォーマンスを達成していく必要があります。しかし一般的なプロセッサの場合、パフォーマンスの条件を満たそうとすると消費電力が大きすぎ、消費電力の条件を満たそうとするとパフォーマンスが不足するケースがほとんどです。

消費電力はクロック周波数に比例して増大するため、従来のようにプロセッサのクロック周波数を引き上げてパフォーマンス向上を図るというアプローチはデメリットが大きすぎます。これに代わる方法として、デュアルコアまたはクワッドコア構成でキャッシュ・コヒーレントなシンメトリック・マルチプロセッシング(SMP)をサポートしたプロセッサを利用すれば、クロック周波数の向上に頼らずパフォーマンスを向上できます。最近では、ウェアラブル機器のように消費電力を削減してバッテリー動作時間を最大化することと十分なパフォーマンスの両立が要求されるアプリケーションが増えています。このような機器の場合、特にワークロードをマルチコア・クラスタに効率よく分散できるようにソフトウェアが設計されていれば、マルチコアは大きな効果が期待できます。ハイエンドのオペレーティング・システムを使用するアプリケーションであっても、ほとんどのインプリメンテーションではシングルコアで十分なパフォーマンスが得られます。また、より高いパフォーマンスが必要な場合は、シンメトリックなデュアルコアまたはクワッドコア・プロセッサをインプリメントし、オペレーティング・システムが負荷を複数のコアに分散できるようにすれば、必要なパフォーマンスを達成できます。

マルチコア・システムのインプリメンテーション を容易にするキャッシュ機能

一般に、プロセッサのキャッシュ関連機能が充実していれば、マルチコア・システムのインプリメンテーションは容易になります。マルチコアによるSMPを実現する際に、まず重要になってくるのが一次1キャッシュのコヒーレンシ(一貫性)です。2つ以上のCPUが同じメモリーにアクセスする場合、同じデータが別々のCPUによって変更されないように、キャッシュ内のデータのコヒーレンシを維持するための機構が必要です。このコヒーレンシをソフトウェアで維持するのは困難な上、多くのクロック・サイクルを消費してしまいます。そこで、この機構をハードウェアで実装したのがキャッシュ・コヒーレントなプロセッサです。これらのプロセッサは、スヌーピングと呼ばれる手法を用いてすべての一次キャッシュの読み出しと書き込みを監視し、すべてのキャッシュ内のデータの一貫性を維持します。

また、I/Oトラフィックと一次キャッシュのコヒーレンシを維持するためには複雑なブックキーピングが必要で、これを自動的に処理してくれるI/Oコヒーレンシ・ユニットも必要です。たとえば、I/Oデバイスがいずれかのコアの一次キャッシュ内のデータを変更した場合、I/Oコヒーレンシ・ユニットがあれば他の一時キャッシュが更新されるため、アプリケーション・プログラマはこれらの詳細を意識せずに済みます。

パフォーマンスを向上するもう1つの方法として、ユーザー設定可能な二次キャッシュを備えたプロセッサを設計し、メイン・メモリーへのアクセスを減らすことが挙げられます。二次キャッシュには、消費電力を最小化してパフォーマンスを向上させる機能をいくつか含めることができます。たとえば、プロセッサと同じクロック周波数で動作する二次キャッシュをマルチコア・クラスタのすべてのコアで共有できるように設計しておけば、二次キャッシュはCPUと同じ速度で動作できるようになります。さらに、低レイテンシの専用バスで二次キャッシュとコアを密接に接続すれば、CPUコアと二次キャッシュの間のデータバスとAXIバス・トラフィックを分離できるため、さらにパフォーマンスが向上します。

コンフィギュラビリティの高いプロセッサは、消費電力とパフォーマンスの面で大きなメリットがあります。二次キャッシュのクロック速度、メモリー・サイズ、AXIインターフェイス以外にも設計者がプロセッサをきめ細かくカスタマイズできれば、各種スリープ・モードを利用して消費電力の削減を図ることができます。二次キャッシュをインプリメントする際、より高密度なSRAMも選択することができます。この場合、パフォーマンスは若干低下しますが消費電力とダイ面積を削減できます。

仮想メモリーを管理するMMU

ハイエンドの組込みアプリケーションでSMPをサポートした高度な組込みオペレーティング・システムを実行するには、メモリー管理ユニット(MMU)を内蔵したプロセッサが必要です。高性能アプリケーションでは、仮想メモリー・システムを使用することにより、実装されている物理メモリー以上の容量を仮想的に扱えるようになります。MMUがあれば、アプリケーションごとにメモリーを管理しなくてもメモリー空間の共有が可能になります。仮想メモリーを使用すると、アドレス空間全体を物理メモリーに配置しなくてもプログラムを実行できるため、必要な物理メモリー容量を抑えることができます。また、物理メモリーのフラグメンテーションを隠蔽できるため、アプリケーション・プログラミングが容易にもなります。MMUを利用すると、Linuxカーネルなどのハイエンド・オペレーティング・システムはメモリー階層を管理して各プロセスを専用のアドレス空間で実行できます。

高性能アプリケーション向けに設計された ARC HS38プロセッサ

シノプシスのARC HSファミリーの新製品であるARC HS38プロセッサは、Linuxなど仮想メモリーに対応したオペレーティング・システムを使用するアプリケーション向けに設計されています。ARC HS38には最大40ビットのコンフィギュラブルな物理アドレス空間を備えたMMUがあり、1テラバイト(TB)のメイン・メモリーも十分に直接アドレス指定できます。このMMUは可変サイズのメモリー・ページをサポートしており、2種類のページ・サイズを同時に処理することもできます。ARC HS38は、通常のページ・サイズ(4KB、8KB、16KB)に加えラージ・ページ・サイズ(4MB、8MB、16MB)のメモリー・ページも同時にサポートします。ページ・サイズを大

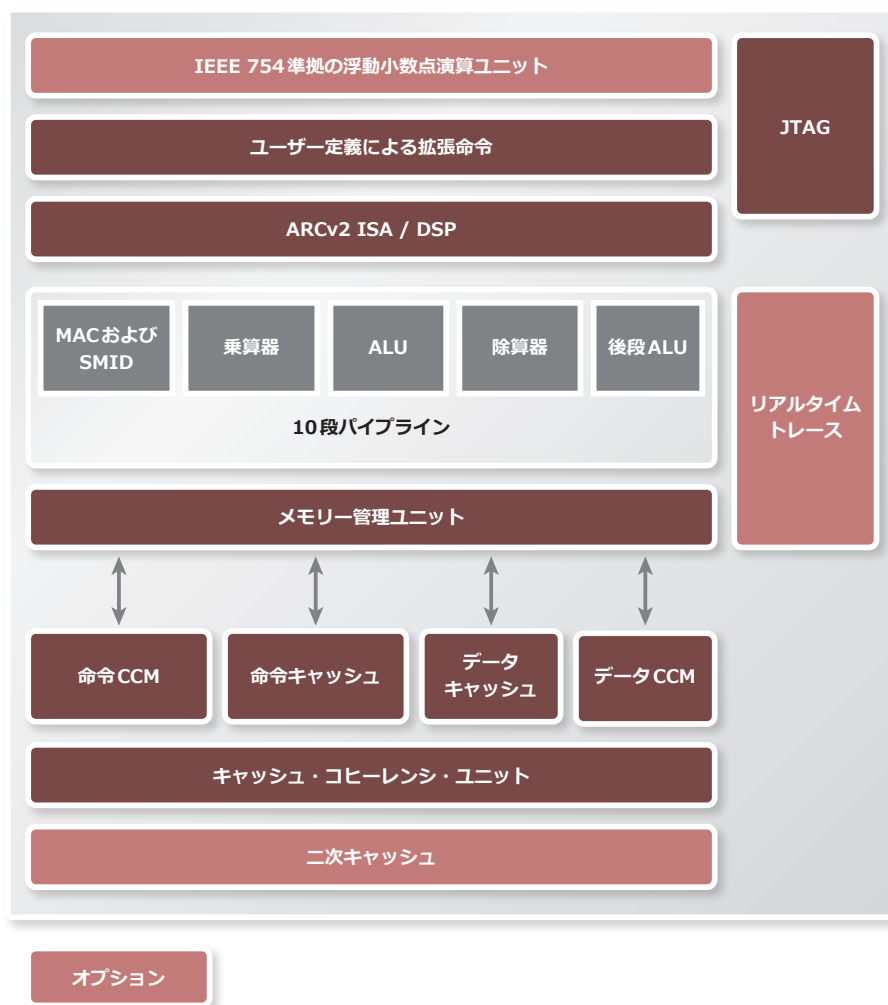


図1. DesignWare ARC HS38のブロック図

きくすると、TLB (Translation-Lookaside Buffer) の参照ミスの回数を減らすことができます。

一般に、ハイエンドのCPUほど構成が複雑になり、消費電力とトランジスタ数が増加する傾向にあります。ARC HS コアはより合理的なアプローチの採用により、少ないトランジスタ数と消費電力で高スループットを実現すると同時に、SoC 設計者によるきめ細かなカスタマイズが可能なきわめて柔軟性の高いCPUとなっています。ARC HS38 プロセッサは10段パイプラインを備えており、28nm高性能モバイルCMOSプロセスを使用した場合、ワーストケースでも最大1.6GHzのクロック周波数での動作が可能です。最小構成でインプリメントしたARC HS38の消費電力はわずか36 μ W/MHz (1.6GHzで58mW)で、ダイ面積は0.20mm²に抑えられています。

1.6GHz動作(28nmプロセスでのワーストケース)の場合、ARC HS38は1コアで3,100 Dhrystone MIPS (DMIPS) および5,600 CoreMarks (3.5 CoreMarks/MHz)を超えるスループットを達成しています。これだけのスループットがあれば、現在の組込みシステムはもちろん、より高度な将来のデザインにも十分対応できるプロセッサ・パフォーマンスが得られます。さらに高いパフォーマンスが必要なデザインの場合は、完全にキャッシュ・コヒーレントな一次キャッシュと最大8MBの二次キャッシュをサポートしたデュアルコアおよびクワッドコアのARC HS38も利用できます。しかも

ARC HS38は消費電力を抑えた設計となっており、デュアルコアまたはクワッドコア構成でパフォーマンスを大幅に引き上げた場合でも、競合するシングルコアのプロセッサとほぼ同等の消費電力でインプリメントできます。ARC コアはこれまででもマルチコア・デザインをサポートしており、カスタマー・デザインの中には数百個のコアを搭載したものもありました。しかしARC HS38プロセッサはSMPをサポートしたデュアルコアおよびクワッドコア・クラスタをインプリメントするのに必要な手間が大幅に軽減されており、開発に必要なコストと期間を抑えることができます。クワッドコア構成のARC HS38では、全体のパフォーマンスが12,400 DMIPS、22,400 CoreMarksにも達します(図1)。

組込みアプリケーションにおける性能効率の最大化を目標としてシノプシスが設計したARC HSファミリーは、非常に高いパフォーマンスを発揮しつつ、コアのサイズと消費電力は競合コアの半分以下に抑えられています。消費電力とトランジスタ数の制約がなければ、高性能なプロセッサの設計はそれほど難しいものではありません。しかし小型で高効率なプロセッサという条件の中で現在十分なパフォーマンス、そして将来的な性能のゆとりを確保しようとする、その設計は一気に困難になります。DesignWare IPポートフォリオの拡張として発表されたシノプシスのARC HSファミリーは、不要な機能を削ぎ落とすことによって、厳しさを増すコストと消費電力の要件を満たしつつ、パフォーマンスに対する要求の高まりに応えています。