

# 20nmノード以降の組み込みメモリーのテストとリペア

シノプシス シニア・プロダクト・マーケティング・マネージャ Sandeep Kaushik

現在のSoCはチップ面積の大半を組み込みメモリーが占めており、メモリーの歩留まりがSoCの歩留まりを左右する大きな要因となっています。次世代の高性能機器に求められる厳しい条件を満たすには複数のプロセッサ・コアを搭載する必要があるため、SoCの大型化も進んでいます。デザインの複雑さが増すにつれ、テスト・コストの高騰、総ビット数の増加による歩留まりの低下、テスト時の消費電力の増大、設計生産性の低下など、テストと歩留まりは新しい課題に直面しています。しかも20nmテクノロジー・ノードでは製造自体も複雑になり、欠陥密度の上昇および新しいタイプの不良メカニズムの出現というこれまでにない歩留まりの課題も生じており、これらを高い精度で検出、診断、リペアするためのモデリングも必要になっています。そこで、特に20nm以降のデザインが抱える上記の課題を解決できると同時に費用対効果にも優れた組み込みメモリーのテスト/リペア・ソリューションが必須となります。

本稿では、特に20nm以降のデザインの課題に対するソリューションとして先ごろリリースされたDesignWare STAR Memory System 5の概要についてご説明します。

## 概要

シノプシスのDesignWare STAR Memory Systemは、シノプシスおよびサードパーティ各社の組み込みメモリーのテスト、診断、リペアを包括的にサポートした完全自動のソリューションです。その第5世代製品にあたるSTAR Memory System 5は、非常に複雑度の高いデザインや先端プロセス・ノードでインプリメントされたデザインを完全にサポートします。STAR Memory System 5の主な特長は次のとおりです (図1)。

- テスト/リペア用IPの作成、SoCの階層構造への挿入、インテグレーション、検証、テストですぐに使用可能なパターンの生成と解析を自動化
- 設計およびポストシリコン工程におけるテスト・アルゴリズムの完全なプログラマビリティ

- 複数のコーナーで動作する効率的なオンチップ・セルフリペアにより、歩留まりを最大化
- 複数ビット・アップセットの誤り訂正符号 (ECC) によるソフト・エラーからの保護
- シノプシスをはじめ、すべてのサードパーティ製メモリーをサポートしたRTL / ゲートレベルのソリューション
- 物理的なフェイル・ビットマップおよびフェイル・ビット・セルのX/Y座標など、高度な不良診断機能

## 性能と面積を最適化したアーキテクチャ

STAR Memory System 5は新しい改良型のアーキテクチャを採用しており、数千もの組み込みメモリーを効率よくテスト、診断、リペアできます。

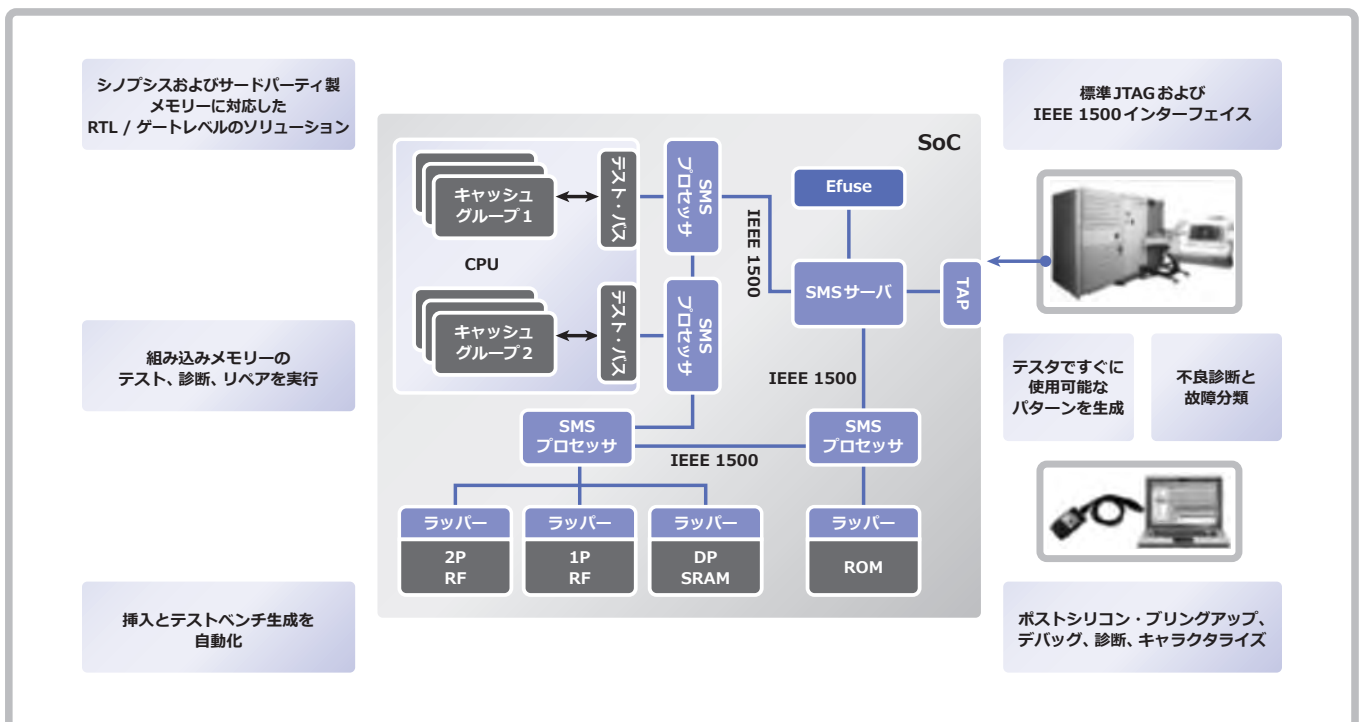


図1. DesignWare STAR Memory System 5。ラッパー (テスト時のメモリー アクセスを提供)、SMSプロセッサ (テスト、診断、冗長解析を実行)、SMSサーバ (SMSプロセッサによるメモリー テストの制御とスケジューリングを実行) などのインフラストラクチャ IPで構成

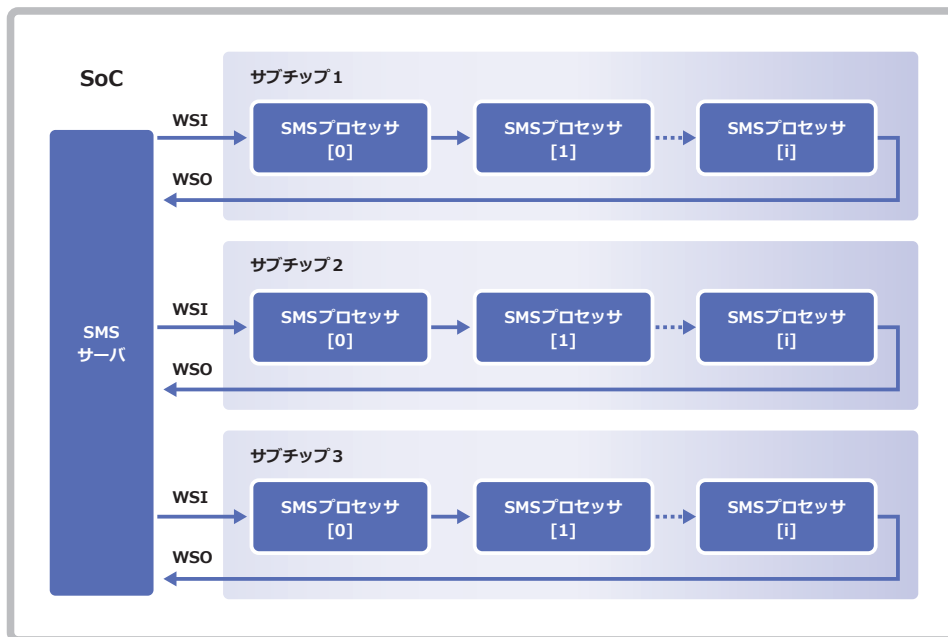


図2. STAR Memory System 5における階層型のリング構成

しかも前世代に比べ面積を30%削減しつつ、設計収束にかかる期間も短縮されています。この大幅な面積削減は、プログラマブルなテスト・アルゴリズムを最適な方法で格納する効率的なテスト生成ロジックの採用によるものです。また、今回のバージョンでは複数のSMSプロセッサをリング方式でSMSサーバに接続するデジーチェーン構成もサポートしています(図2)。この構成では、すべてのSMSプロセッサを直接SMSサーバに接続していた従来のアプローチに比べ信号配線が大幅に削減されます。1リング当たりのプロセッサの数や、SMSサーバに接続できるリングの数に制限はありません。リングは、物理的な階層(サブチップ)や電力ドメインなど、個々のデザインの必要に応じて作成できます。このリング構成により、配線を最大15%削減できます。

機能バスにBIST (Built-In Self-Test) マルチプレクサ (MUX) を挿入することによる性能への影響を最小限に抑えるため、STAR Memory System 5にはメモリーへの機能バスにある既存のパイプライン・ステージを再利用する機能があります。また、STAR Memory System 5では、デザインのat-speedメモリー・テスト要件を満たすのに必要なパイプライン・ステージをいくつでも追加できます。これらのパイプライン・ステージはユーザー

設定可能で、テスト/リペア用のIPブロック間(すなわちSMSプロセッサとラッパーの間)に追加されます(図3)。

従来のバージョン同様、STAR Memory System 5もシノプシスのメモリーと組み合わせた場合に大きな利点を得ることができます。たとえばSTAR Memory Systemロジックのうち、タイミング制約の厳しい部分はメモリー・ハード・マクロと一緒にハードウェアとして固定されるため、メモリー・サブシステムの面積と消費電力を抑えながら機能パフォーマンスの向上、at-speedメモリー・テスト、ATPG (Automatic Test Pattern Generation) カバレッジが可能になります。

### 高性能プロセッサ・コアをサポート

キャッシュ・メモリーを内蔵した高性能プロセッサでは、プロセッサ性能に影響しないメモリー・テスト/リペア・ソリューションが必要です。メモリー・テスト・ソリューションが挿入するBIST MUXによる遅延の増大を避けるため、ARM社などのプロセッサ・コア・プロバイダは必要なテスト構造(MUXやパイプライン・フロップなど)をコア内の最適な場所に追加する

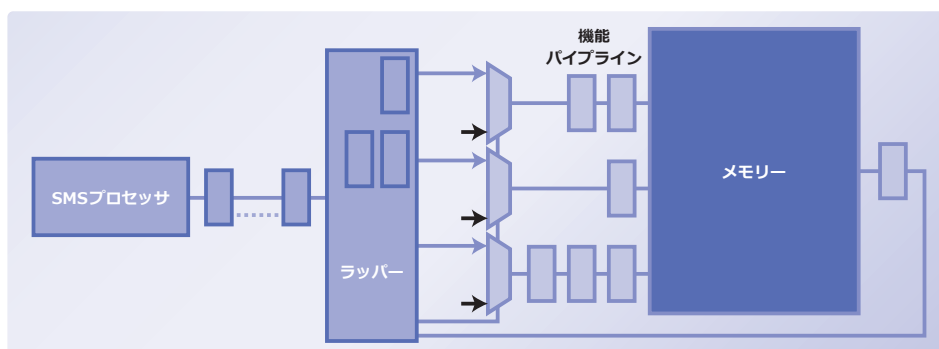


図3. at-speedテスト要件を満たすために必要なパイプラインをユーザーが設定可能

前ページより続く ▶

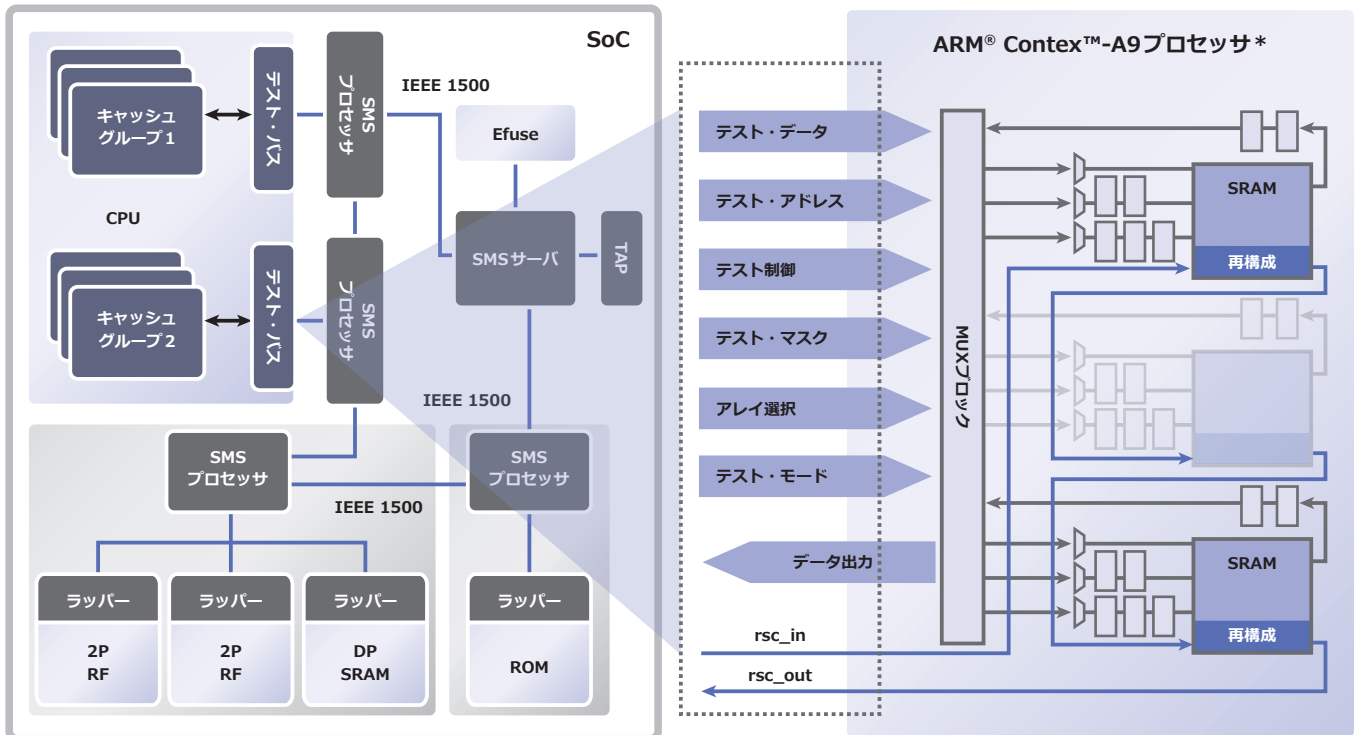
ようになっています。これにより機能タイミングへの影響が最小限に抑えられ、必要なテスト信号はプロセッサ・コア・レベルのマルチメモリー・バスとして引き出されます。STAR Memory Systemはこのバスを利用してメモリーのテストと診断を実行します。このように、メモリー・バスにBIST MUXやラッパー・ロジックを追加するのではなく、プロセッサ・コアの外側にSMSプロセッサという形で組み込みメモリーのテスト/リペア・ロジックを追加することにより、プロセッサ性能への影響をゼロに抑えています(図4)。

## 20nm以降に対応したテスト・アルゴリズム

STAR Memory System 5は、20nm以降のノードで顕著となる新しい欠陥タイプの検出とリペアに対応した高度なテスト・アルゴリズムを採用しています。20nmノードではメモリー・セル内のオンチップばらつき(OCV)が大きくなり、トランジスタの性能に影響を及ぼして幅広い種類の不良が発生します。プロセスばらつきを考慮して正しくテストが行えるように、STAR Memory System 5は複数のコーナーで適用可能なテストパターンを生成します。微細プロセスでは微小遅延欠陥が増える傾向にあり、アドレス・デコーダにわずかな遅延が生じるだけで結果が不正確になります。STAR Memory System 5には、アドレス・デコーダの故障検出に特化した高度なメモリー・アドレス機能があります。また、テスト・リソースの多くがプログラマブルとなっており、カスタム・アルゴリズムを作成してテスト、キャラクターライズ、診断を行うこともできます。

## 高度な診断機能

歩留まり立ち上げの時間を短縮して早期量産を達成するには、優れた診断ソリューションが欠かせません。特に20nm以降のテクノロジー・ノードでは欠陥密度の上昇および新しい欠陥タイプの出現により歩留まりの立ち上げが遅くなるため、診断ソリューションの必要性はますます大きくなっています。STAR Memory System 5には高度な診断機能が用意されており、故障を短時間で正確に切り分け、分類できます。このソリューションには、論理/物理フェイル・ビットマップやフェイル・ビット・セルのX/Y座標など、7段階を超える不良解析機能があります。さらに、STAR Memory Systemには特定の故障タイプの診断に使用できる高精度な診断アルゴリズムのライブラリもあります。ユーザーはテストですぐに使用可能なパターンを標準のWGL、STIL、SVFフォーマットで生成できるため、シミュレーションや変換作業は必要ありません(図5)。



\* 出典 : ARM Ltd.

図4. STAR Memory System 5はBISTバスを内蔵したARMプロセッサ コアをサポート

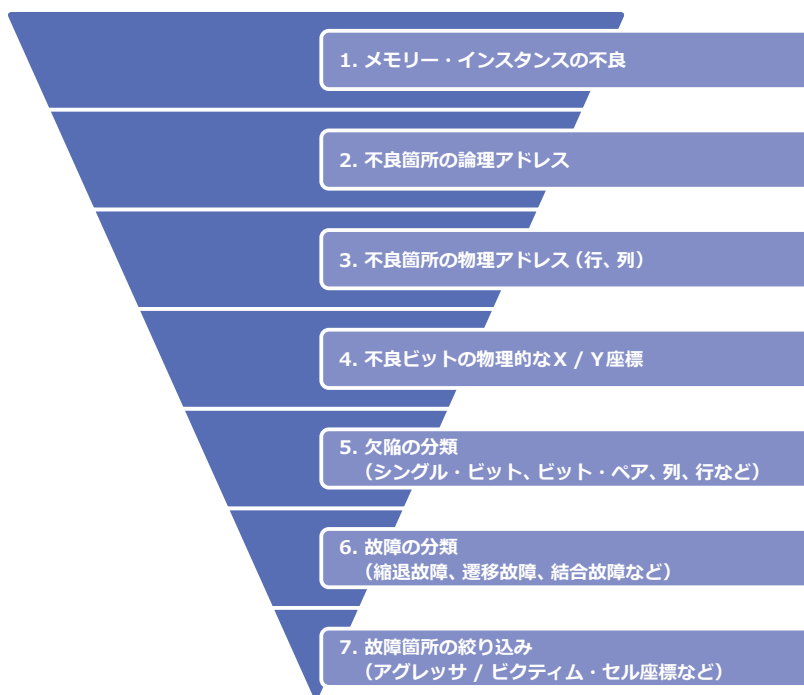
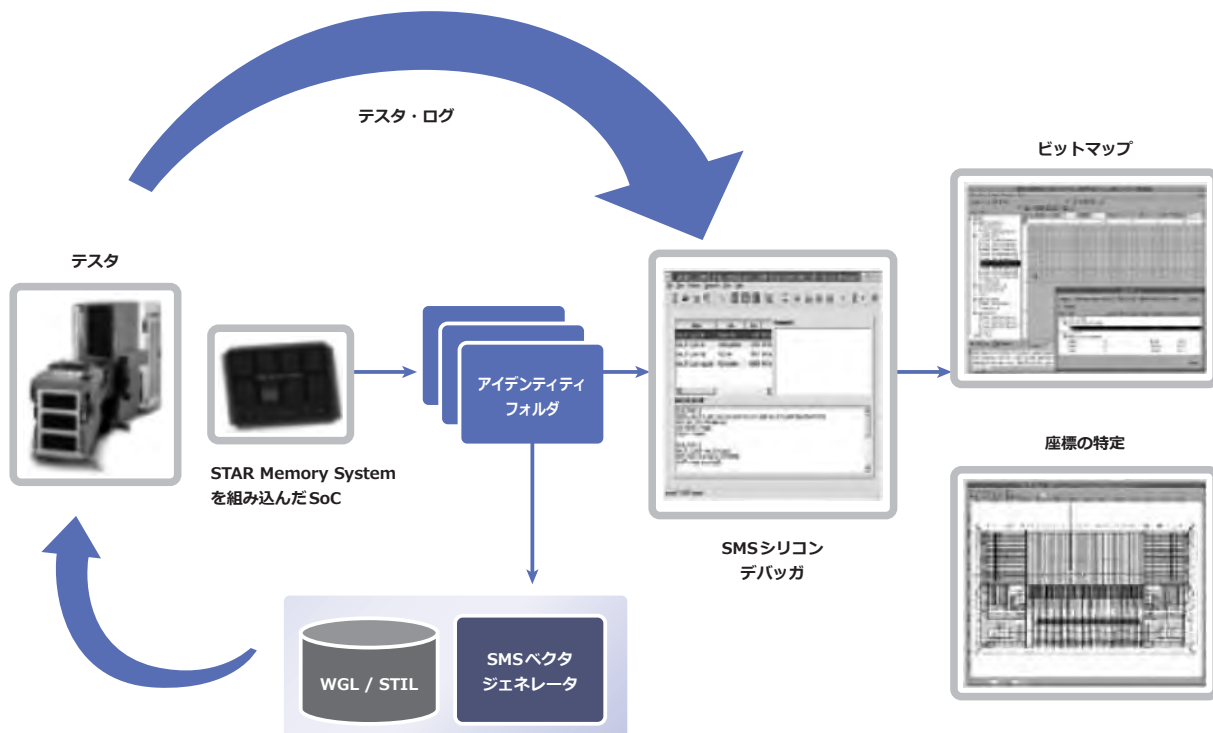


図5. STAR Memory System 5の診断フロー

## まとめ

特に先端プロセス・ノードでSoCの高い歩留まりを達成するには、組み込みメモリーを効率的にテスト、診断、リペアできるソリューションが欠かせません。同時に、設計コスト（チップ面積、インプリメンテーションの労力）とテスト・コスト（テスト時間、テスト品質確保のための労力、シリコン・デバッグ / 診断時間）を最小化できるソリューションであることも条件となります。シノプシスのDesignWare STAR Memory Systemは組み込みメモリーのテスト、診断、リペアに向けた包括的なソリューションとして、全体的なコスト、品質、スケジュールの目標を満たしながらSoCの歩留まり最適化を実現します。