

機械学習を設計サイクル全体に適用

設計プラットフォームの自己最適化により、 設計フロー全体で結果品質を改善

著者

Anand Thiruvengadam,
Manoz Palarpathi,
Robert Ruiz,
Geetha Rangarajan,
Rahul Deokar,
Stelios Diamantidis
シノプシス

半導体設計における人工知能の台頭

人工知能（AI）は、金融サービス、自動車、生命科学、医療、電気通信など多くの業界で伝統的なビジネス・モデルを創造的に破壊しイノベーションを促進するなど、私たちがこれまで知っていた世界を大きく変革しようとしています。そしてこの変革の先陣を切っているのが、AIアプリケーションやAIベースのイノベーションを中心に支えている半導体業界です。

事実、半導体企業の80%が、本格的または試験的にAIを導入していると回答するなど、半導体業界はAI導入において他の業界をリードしています（出所：Accenture「Semiconductor Technology Vision 2019」）。そしてこのトレンドは、半導体エコシステムの重要な一部であるEDAにも及んでいます。

AIによる破壊の時を迎えた EDA

オートモーティブ、5G、3D-IC、ナノワイヤ、ナノシートなど、半導体設計の最前線では合成、配置配線、タイミング・クロージャ、カスタム・デザイン、サインオフ、テストなど設計サイクル全体で多くの設計課題に直面しています（図1）。



図1：多くの課題に直面している半導体設計

しかも、個々の設計要件には複雑な相互依存関係があるため、これらの課題を解決するには設計サイクルの複数ステージにまたがる同時最適化が必要となります。

このため、従来の総当たり方式によるEDAアプローチはコストの問題から現実的でなくなっており、機械学習（ML）ベースのソリューションが求められるなど、EDAはAIによる創造的破壊の時を迎えています。

設計サイクル全体への ML の適用

機械学習は、設計ツールの自己最適化を可能にします。自動運転車が現実世界の相互作用を観察し、個別の（ローカルな）運転環境において自らの応答を改善するのと同様に、AI強化型ツールも導入後に（ローカルな）設計環境で学習を重ねることで賢くなっていきます。

こうしたMLドリブンの新しい機能は、さまざまな種類の設計エンジンに組み込むことができ、これによってEDAメーカーは厳しさを増す現在の半導体設計環境にかつてない強力なソリューションを提供しようとしています。豊富に存在するデータと発見的問題解決の手法を活かし、アンサンブル法（線形回帰、サポート・ベクター・マシン、ニューラル・ネットワークなど）を使用して作成した新しいクラスのMLモデルは、設計サイクル全体でさまざまな局面に適用できます。

MLによる予測（教師ありML）：分布の裾におけるデザインの挙動、クリティカル・パス・タイミング、DRCホットスポット、EM/IR分布、最適なDFTスキャン・ピン数およびチェーン長を正確に予測することで、既存のソリューションに比べ結果品質（QoR）と市場投入までの期間（TTR）を大幅に改善します。

MLによる最適化（教師ありML）：過去に実施した最適化の結果を学習し、その後のイタレーションで関連するデザイン・トポロジについて予測を実行します。ECO、バッファリング、Vtの選択、DRCリペアなどへの適用が可能です。

MLによる分類（教師なしML）：より効率的なアルゴリズムの選択が容易になり、全体的な実行時間が短縮すると共に、設計、テスト、歩留まり解析での新しい取り組みが可能になります。

MLによるスケジューリング：この探索技術により、ツールが自らの実行環境をより正確に把握し、利用可能な演算リソースに合わせて実行手順を調整できるようになります。

これらのモデルは、実際の設計環境において学習と自己最適化を繰り返すため、使えば使うほど良好な結果が得られるようになります。

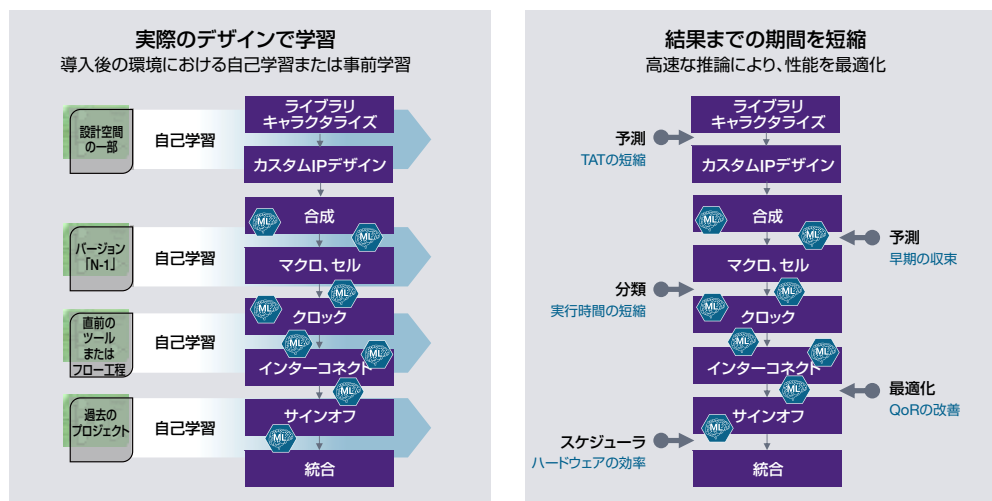


図2：設計サイクル全体にMLを適用

性能・消費電力・面積（PPA）の限界を打ち破る

シノプシスのFusion Design Platform™は、業界最高峰のデジタル設計/解析ツール、テストツール間でそれぞれのテクノロジーを融合（フュージョン）するという画期的なアプローチにより、フロー全体でかつてないレベルのQoRとTTRを実現します。そして近年シノプシスは、長期戦略的イニシャティブの一環として機械学習ドリブンのインプリメンテーションおよびサインオフへの投資を行っており、Fusion Design Platformで実現する業界トップクラスの性能・消費電力・面積（PPA）を更に改善する新たな道筋を示すことに成功しています。

シノプシスのIC Compiler IIとFusion Compilerは多数のML機能を導入しており、設計サイクル全体でデザインの挙動を捉え、下流工程への複雑な影響を上流工程で迅速かつ正確に可視化します。これにより、生産性とQoRがかつてないレベルに引き上げられます（図5）。

タイミング最適化：先端ノードでは、さまざまな物理的影響や複雑なファウンドリ・ルールによって設計収束が非常に困難になっています。IC Compiler IIとFusion CompilerはMLによる最適化機能を導入しており、過去の設計イタレーションから学習して配線後のタイミングへの影響を配線前の段階で正確に予測できるようになっています。これにより、最適化エンジンの視界が広がり、設計の早期収束とPPAの改善が実現します（図3）。

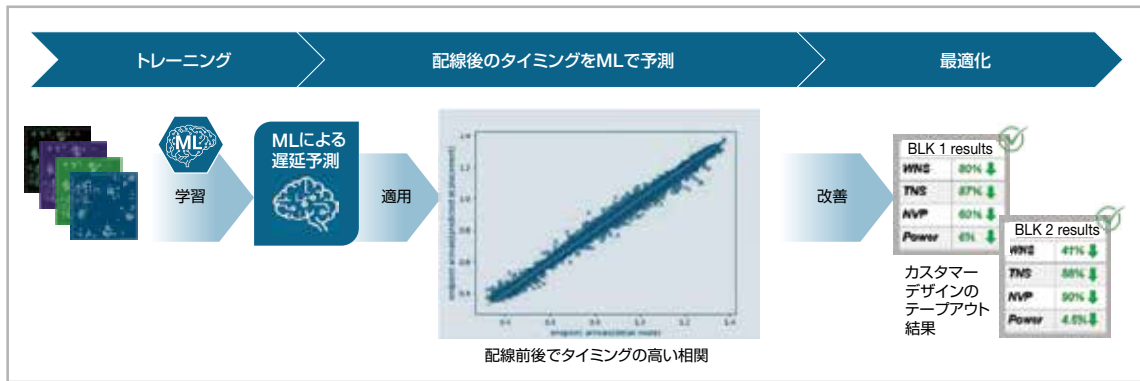


図3：MLベースのタイミング最適化

DRC予測: 先端ノードのデザインは製造の複雑さが増すため、綿密なDRC要件が必要になります。インプリメンテーション・フローの早期にDRCの課題に対処すると、DRCとタイミングが早期に収束し、PPAも改善されます。Fusion CompilerとIC Compiler IIには、DRCホットスポットが生じるデザイン・パターンを学習し、最適な配置となるように配置およびリーガライズ・エンジンを調整するMLベースの最適化機能が導入されています(図7)。



図4：MLを利用したDRCホットスポットの予測と防止

サインオフ・ドリブンPower ECO: シノプシスのPrimeTime ECOはMLによる最適化機能を採用しており、導入後の環境において複数のブロック、階層、あるいはデザイン・スタイルにまたがるパワー ECOおよびバス・ベース (PBA) タイミング最適化の結果を学習し、それ以降のECOイタレーションでタイミングと消費電力のQoRを維持しながらTATを短縮します。この独自機能により、これまで数日を要していた量産環境でのECO実行時間が数時間にまで圧縮され、ビジネスを左右する重要なプロジェクトのTTMを短縮できます(図5)。

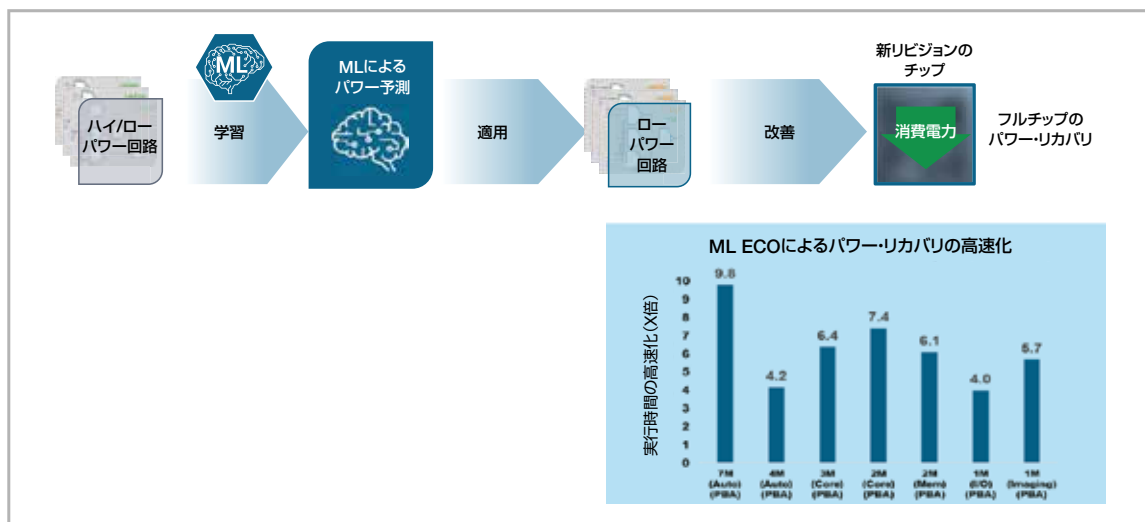


図5：MLを利用したサインオフ・ドリブンPower ECOの最適化

サインオフIRドリブンCCD：RedHawk Analysis Fusionを統合したIC Compiler IIとFusion Compilerは、MLベースの高速な予測機能を導入しており、セルの移動によって生じるP/G寄生成分およびインスタンス電流分布の変化を捉えて新しいスタティックおよびダイナミックIRドロップ分布を予測します。IRドロップの影響を正確かつインクリメンタルに予測することにより、CCD（コンカレント・クロック・データパス）最適化による上流工程でのデザイン・サイジングおよび配置が改善し、コストのかかるECOでのIRドロップ解析の反復を最小に抑えられます。また、配置配線時にセルの再配置とサイジングを実行して積極的な修正を加え、タイミングQoRとDRCを維持しながらIRを最大限に改善します（図6）。

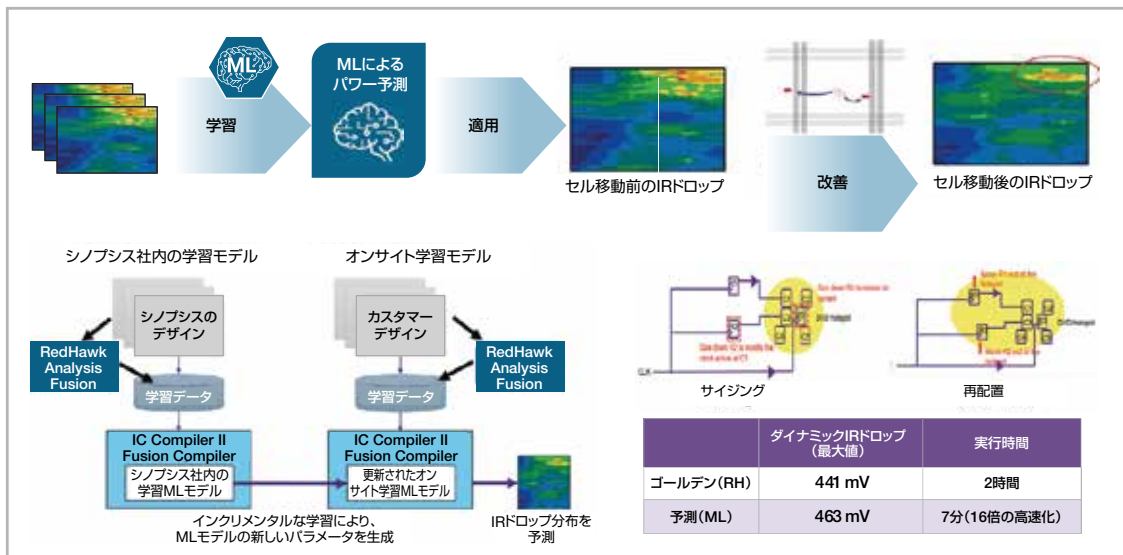


図6：MLを利用したサインオフIRドリブンCCDの最適化

タイミング・サインオフの時間を短縮

PrimeTime PBA タイミング解析：網羅的なPBAのアプローチはコストがかかりすぎるという問題を解決するため、シノプシスPrimeTimeはMLによる予測機能を導入しています。新しいMLドリブンのPBAタイミング解析は、ワースト・ケースになりそうにないパスを除外し、最も重要なエンドポイントに集中することで、精度を一切犠牲にすることなく実行時間の大幅な短縮を可能にしています（図7）。

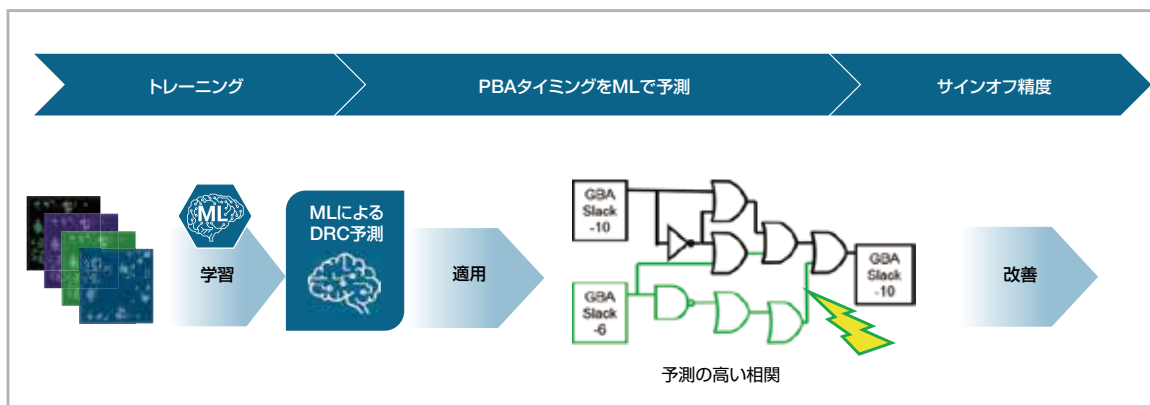


図7：MLベースの予測機能を取り入れたパス・ベース・タイミング解析

PrimeYield 高速モンテカルロ・パス・シミュレーション：特に重要性の高いアプリケーションでは、タイミングに起因する故障を最小に抑えて低DPPM (Defective Parts Per Million) を達成するために、高シグマ・モンテカルロ・パス・シミュレーションが欠かせません。しかし総当たり方式の高シグマ・モンテカルロ解析には非常に多くの時間がかかるため、コストの面で現実的ではありません。シノプシスのPrimeYieldはMLによる予測機能を採用しており、モンテカルロ・シミュレーションの回数を数桁削減しながら高シグマ・パス遅延を正確に予測します。この結果、HSPICE精度の高シグマSTAもわずか数時間で完了します（図8）。

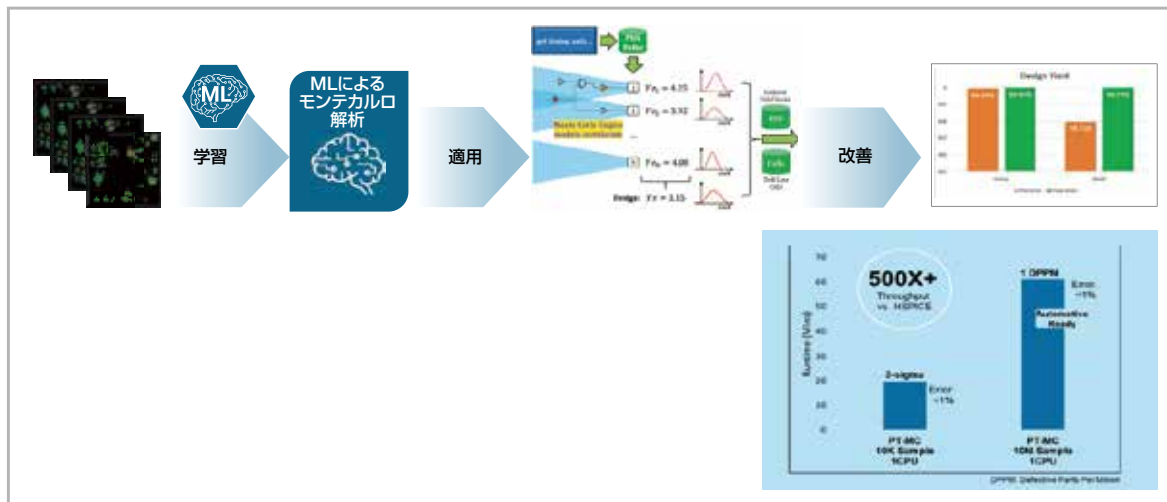


図8：MLベースの高シグマSTA

超高速な高シグマ・モンテカルロによるライブラリ/IP キャラクタライズ

SRAMビットセルやフリップフロップなどのライブラリ・セルはインスタンスの数が非常に多く、このようなライブラリのキャラクタライズでも高シグマ(4~7 σ)モンテカルロ解析は重要な役割を果たします。しかしモンテカルロ・シミュレーションを何百万回も実行するのはコストがかかり過ぎるため、通常は精度を犠牲にして次善策を講じるというトレードオフを強いられます(図9)。

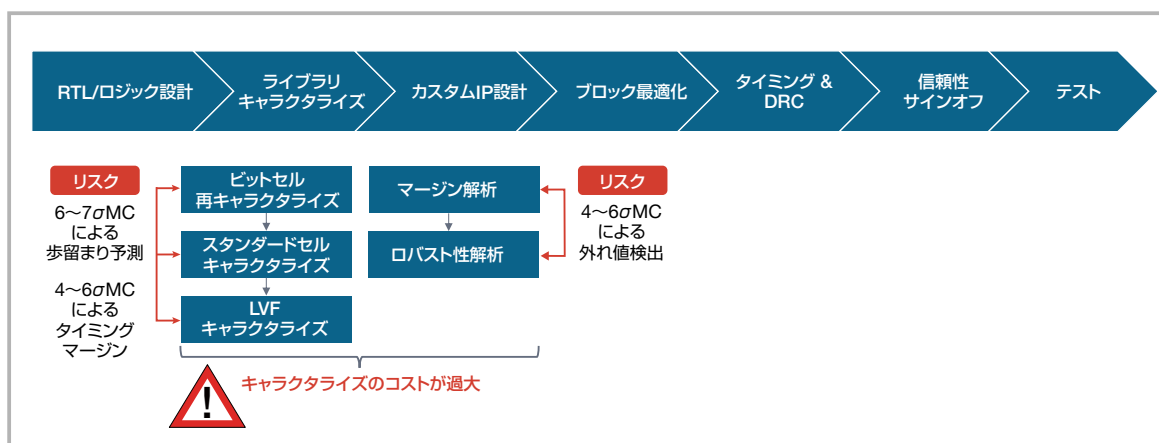
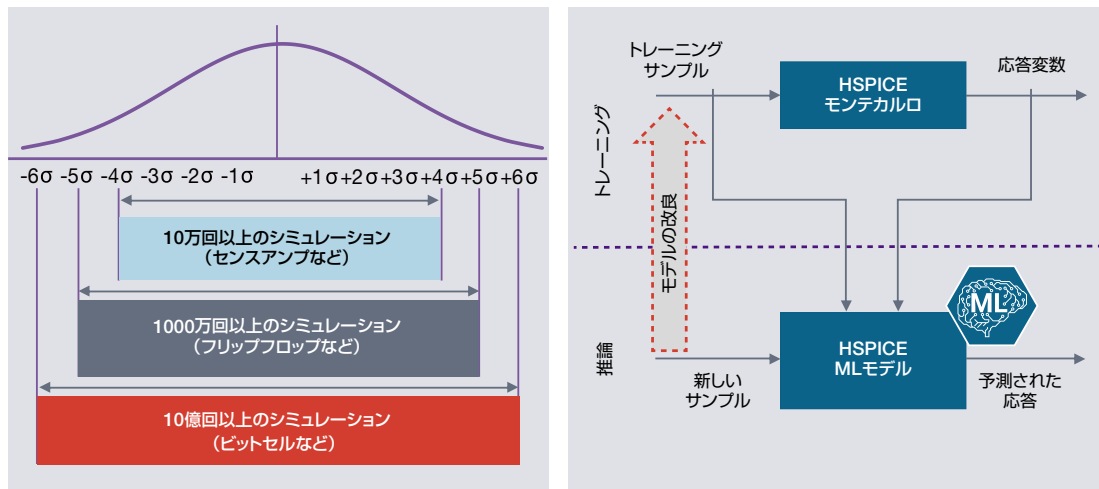


図9：キャラクタライズにおけるコストの問題

この重大なボトルネックに対処するためにシノプシスが2019年に導入したのが、HSPICE Advanced Variation Analysis (AVA)です。AVAはアンサンブル法を使用して代理MLモデルを作成します。このモデルを使用すると、シミュレーションの回数を1/100まで削減しながらHSPICEベースのモンテカルロ・シミュレーション比1%以内の精度で回路の挙動を予測できます(図10)。この高い精度相関性は、通常のHSPICEベースのモンテカルロ・シミュレーションの結果を代理モデルに学習させることによって実現しています。



歩留まりおよびロバスト性解析の高シグマ・モンテカルロが100倍以上高速化

図10 : HSPICE Advanced Variation Analysis (AVA)

IPレベルにおいても、高シグマ・モンテカルロ解析はデザインの外れ値の影響を緩和し、幅広い動作条件全体でデザインのロバスト性を確保する上で重要な役割を果たします。AVAと同様のMLによる予測機能によりSPICEおよびFastSPICEシミュレータの動作が高速化し、高シグマ・モンテカルロ解析をカスタム設計のIPにも適用できるようになります。

フィジカル検証サインオフの期間を短縮

シノプシスのフィジカル検証 (PV) ツール IC Validatorは、実行時間の短縮とデバッグ生産性の向上というPVエンジニアにとって重要な2つの要件に対処するために、MLによる分類機能を2種類採用しています。まず、IC Validatorに内蔵されているMLスケジューラは、MLによる分類機能を使用してDRCコマンド・ランセットのメモリー・フットプリントを予測し、CPUリソースの利用効率上がるようにジョブ・スケジューリングを最適化します。また、このMLスケジューラはクリティカルパスとなるコマンドを予測して、これらのコマンドを優先的にスケジューリングおよびマルチスレッド処理し、DRC実行時間を短縮します (図11)。

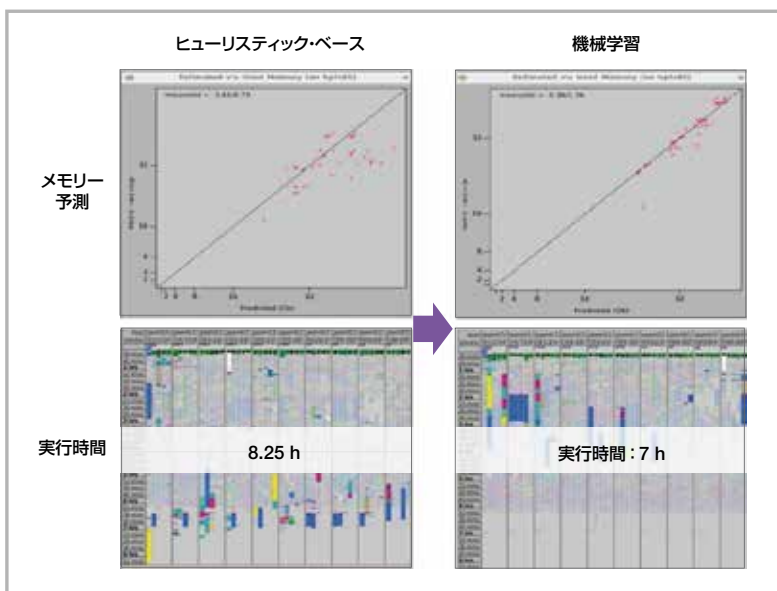


図11 : MLベースのスケジューリングによりDRC実行時間を最適化

また、IC ValidatorのDRCヒートマップ機能にもMLによる分類機能が採用されており、根本原因に基づいて違反をグループ分けし、セル重複などデザインの重大な問題を特定します。これにより、DRC根本原因解析にかかる時間が短縮し、生産性が向上します(図12)。

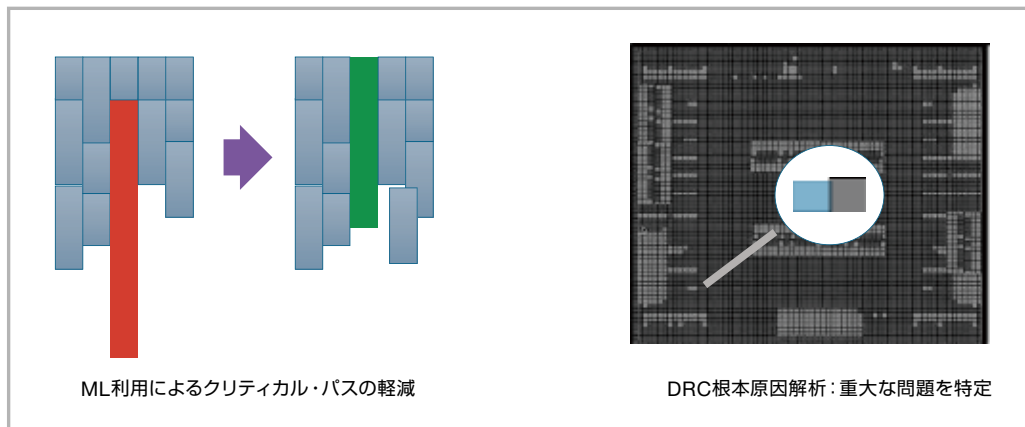


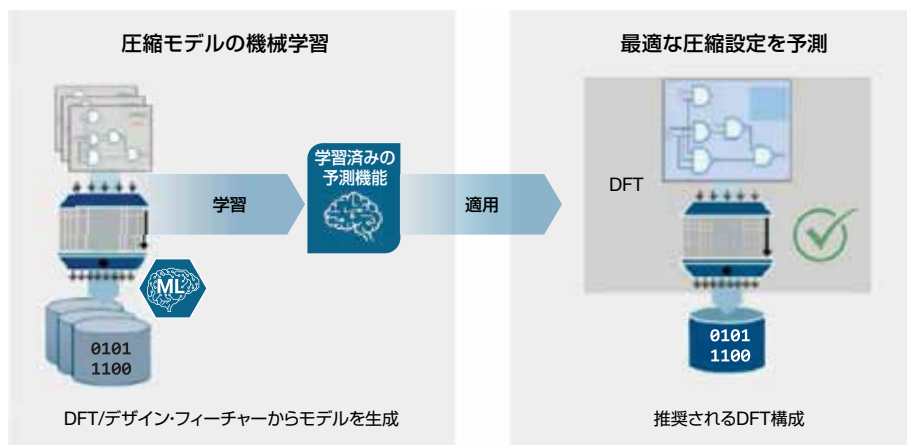
図12：MLベースのDRC根本原因解析

テストに対する期待を再定義

デザインの複雑さが増す中、エンジニアリング・チームは各シリコン・デバイスの製造欠陥テストにかかるコストと工数を抑えるため、さまざまな手法と技術の組み合わせを検討しています。デジタル・ロジックの製造テストで高い品質を達成するための手段として最も一般的なのは、DFT(テスト容易化設計)による回路修正と、その後のATPG(Automatic Test Pattern Generator)を組み合わせる方法です。

製造テストのコストを削減するため、新しいDFT手法がいくつか採用されていますが、中でも重要なのが「圧縮」です。圧縮は、専用のハードウェアを追加することによって高い品質(すなわち高い故障カバレッジ)を維持しながら、テスト・プログラムのサイズ(すなわちテスター上で実行されるテスト・サイクル数)を削減します。大規模なデザインの場合、最適な圧縮パラメータ(すなわちスキャン入力数、スキャン出力数、スキャン・チェーン数)を選択するには複数のトレールの結果を解析する必要があり、非常に長い時間がかかります。しかも多くの場合、最適なATPG結果を達成するには、オプション設定をさまざまに変更して試行錯誤する必要があり、そのための時間もオーバーヘッドとなります。

DFT圧縮：業界をリードするシノプシスのテスト・ソリューションTestMAX DFTはTestMAX ATPGと組み合わせて動作し、先進のアルゴリズムとヒューリスティック、および細粒度のマルチスレディングを使用して実行時間を短縮します。現在のTestMAX DFTはMLによる最適化機能を導入しており(図13)、一般的なデザインからの学習により、新規デザインの圧縮に最適なスキャン・ピン数およびチェーン数を予測します。この結果、テスト・サイクル数の減少によるテスト・コストの削減という形でATPGのQoRが向上します。図14は、この具体例を示したものです。これは約5300個のスキャン・フリップフロップと18のスキャン入力からなる復号デザイン・ブロックの例で、MLによる最適化機能はその最適なスキャン長を320と予測しました。実際にATPGを実行してデータを収集したところ、テスト・サイクル数が最小となったのはスキャン長320の場合でした。この値を選択するとテスターの実行時間が最短となり、テスト・コストを最小に抑えることができます。



DFT圧縮アーキテクチャを最適化し、ATPGのQoRが向上

図13：MLを利用してTestMAX DFTの圧縮設定を最適化

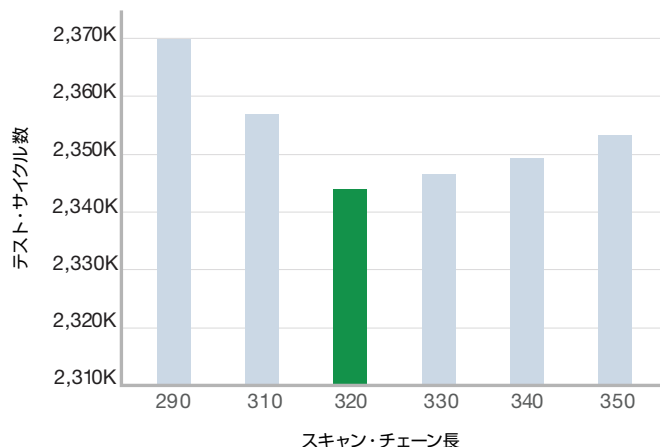
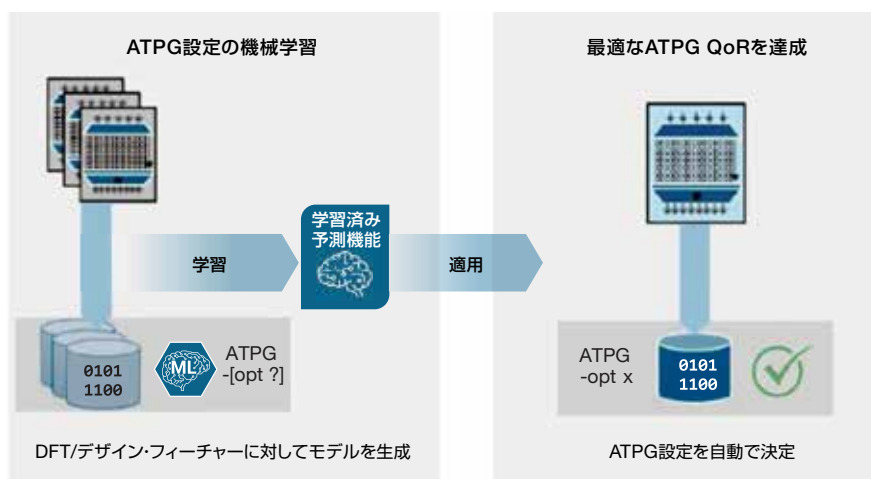


図14：MLで予測したスキャン長320が最適解

また、TestMAX ATPGは故障クラスを予測するMLベースの分類機能も内蔵しており、この予測に基づいてパターン生成エンジンの事前設定と自動調整を実行します。例えば、予測された故障クラスに基づいて1つのパターンを生成する試行回数（ATPGアポート上限）を調整することができ、「検出困難」な故障に対してはこの回数を少なくすることにより、実行時間とパターン数を抑えることができます（図15）。



オプションを静的および動的に設定してATPGのQoRを改善

図15：MLの利用により、TestMAX ATPGの最適なオプションを設定

まとめ

シノプシスは、2018年に業界で初めて機械学習（ML）を利用した画期的なEDAツール、PrimeTime ECOを発表して以来、デジタル・インプリメンテーション、回路シミュレーション、フィジカル検証、サインオフ、テストの分野において、各ツールおよびプラットフォームの価値を強力にリンクさせた新しいML強化型ツールを次々と発表するなど、着実なペースで革新的技術を投入してきました。同様の製品リリースは、2020年にも数多く計画されています。

これらのツールを組み合わせることで、従来のポイント・ツールや単一モデルを遥かに凌ぐ、自己最適化が可能な設計プラットフォームが誕生します。こうして設計サイクル全体にMLを適用することにより、設計フロー全体を通じてQoR、PPA、TATが改善します