

SYNOPSYS® 2018年度 インターンシップ募集要項 (Design Group)

1. 基本情報	
社名	日本シノプシス合同会社 (Nihon Synopsys G.K.)
住所	東京都世田谷区玉川2-21-1 二子玉川ライズ・オフィス 15階
受入担当	日本シノプシス インターンシップチーム
連絡先	E-mail : gakusei@synopsys.com
2. 会社概要	
従業員数	290名 (日本法人) / 11,680名 (Worldwide) 2017年度末
設立	1986年12月 (Synopsys, Inc.)
代表者名	社長 職務執行者 藤井 公雄
事業規模	売上高 27億2,500万ドル (グループ連結/2017年度末)、NASDAQ上場
事業内容	<ul style="list-style-type: none"> ・ASIC/システムLSI/メモリー/イメージセンサー等、半導体設計用ソフトウェア (EDA: Electronic Design Automation) およびIPの開発、販売、保守ならびに設計コンサルティング業務 ・ソフトウェア開発において、高い品質とセキュリティを高効率で実現するための技術とツールの開発、販売、保守ならびにコンサルティング業務
3. 就業条件	
受入人数	5名程度 (2020年3月に高専、大学、大学院 (修士/博士) を卒業見込みの方)
就業場所/部署	東京本社 (二子玉川) / Design Group
予定就業期間	9月10日(月) - 9月14日(金) <5日間>
就業時間	9:30 - 18:00 (昼休憩 1時間)
待遇	交通費実費支給(上限有、応相談)、宿泊施設提供(遠方の方のみ)、昼食代支給(1,500円/日)
応募要件	《以下二つの要件を満たすこと》 1. Verilog HDL等を使用した、論理回路設計/検証経験がある 2. プログラミング言語 (C,C++,Perl, Tcl, Bash, php等) を使用したプログラム経験がある ※Windows/Office、Unixの基本オペレーションで支障の無いこと、コンピューターハードウェアの仕組みに興味があることが大前提です。
応募受付期間	7月1日(日) - 7月20日(金) ※日本シノプシスHPよりエントリーシート ダウンロード可能 ※リクナビ掲載中
選考方法	以下よりエントリーシートをダウンロードし、gakusei@synopsys.comまで送付して下さい。 http://www.synopsys.com/japan/careers/Pages/default.aspx 書類審査後、必要に応じてメールによる質疑応答を行い、7月下旬までに参加者を決定します。
その他	<ul style="list-style-type: none"> ・参加者は各自、事前にインターンシップ保険にご加入ください。 ・機密漏洩対策のため、参加者には守秘義務を明示した覚書にサインをしていただきます。 ・応募書類は返却いたしません。
4. 就業内容	
就業テーマ	情報社会イノベーションの根幹を担う半導体の一連の設計開発工程を通し、システムLSI開発におけるEDAの位置付けを理解する。
プログラム概要 <small>*内容は変更になる場合があります。</small>	Analog & Mixed Signal設計 1) Custom Compilerを用いて増幅回路を設計 2) シミュレータを用いて回路動作を理解 3) 素子のばらつき解析について、サンプル数低減手法の適用実習 使用ツール Custom Compiler、HSPICE、Custom WaveView 論理LSIフロントエンド/バックエンド設計 1) CPUのブロック概略、特定のモジュールのRTL記述を確認 2) RTLのソースを見て、回路の概略を理解 3) 論理合成し、Timing、Areaを解析 4) フロアプラン作成 5) 配置配線 使用ツール VCS、Design Compiler、Prime Time、IC Compiler II
期待する結果	一連の半導体設計工程を理解し、実際にEDAツール群を駆使して実務に近い形で体験する。
5. 2018年度インターンシップ 予定スケジュール	
日程	概要
9/10(月) AM	オリエンテーション
9/10(月) PM - 9/11(火)	Analog & Mixed Signal設計
9/12(水) - 9/13(木)	論理LSIフロントエンド/バックエンド設計
9/14(金)	まとめ