SYNOPSYS®

DATASHEET

Fusion Compiler

設計結果予測性の高い RTL-to-GDSII インプリメンテーション・システムにより、結果品質が最大 20% 向上

概要

Fusion Compiler™は先端ノード・デザインの複雑さに対処できるよう設計された次世代のRTL-to-GDSIIインプリメンテーション·システムで、結果品質を最大20%改善する一方で、結果達成までの期間を1/2に短縮します。Fusion Compilerはコンパクトな単一データ・モデルに基づいて開発されており、RTL-to-GDSIIフロー全体でFusion Technologyをシームレスに共有することで結果収束性を飛躍的に高め、短期間でのデザイン・クロージャを可能にします。Fusion Compilerは、最先端のシステム・オン・チップ（SoC）設計に向けて、業界最高水準のRTL合成、配置配線、およびサインオフ・テクノロジをベースに新開発されており、性能/消費電力/面積の結果品質をこれまで以上に高めながら、最短期間での設計収束を可能にします。Fusion Compilerの統合コックピット（図1）は、RTLからのフィジカル・シンセシス、デザイン・プランニング、配置、クロック·ツリー合成（CTS）、高度な配線、フィジカル・シンセシス・ベースの最適化、チップ・フィニッシング、サインオフ品質の解析、ECO最適化を含む包括的な設計プラットフォームをご提供します。

主な利点

- RTLからGDSIIまでを包括的にサポートした設計システムにより結果品質が最大20%向上する一方で、結果達成までの期間を1/2に短縮
- Fusionデータ・モデル・アーキテクチャにより比類なきデザイン・キャパシティ、スケーラビリティ、生産性を実現
- UPS（Unified Physical Synthesis）最適化により、結果品質が最大限に向上

- 共通の配置および2Dリーガライズ・エンジンにより、DRCの収束およびデザイン・クロージャまでの期間が短縮
- 配線ドリブンの推定テクノロジを使用して混雑度を高精度に推定・予測し、全体的な収束性が向上
- 独自のパワー・ドリブン再合成およびニー・アルゴリズムによる最適化など、フロー全体で消費電力を最適化
- フィジカル考慮合成および高度なCTSにより、達成可能なクロック周波数が最大限に向上
- FinFETおよびマルチ・パターニングを考慮した大手ファウンドリ認証済みインプリメンテーション・フロー
- サインオフ品質のタイミング、寄生抽出、電力解析エンジンによりイタレーションの回数を削減
- 合成から配線後までの高度なエリア・リカバリー・アルゴリズムにより、面積の最小化を実現
- マルチスレッディングおよび分散処理テクノロジを用いた徹底した並列化により、スループットが最大限に向上

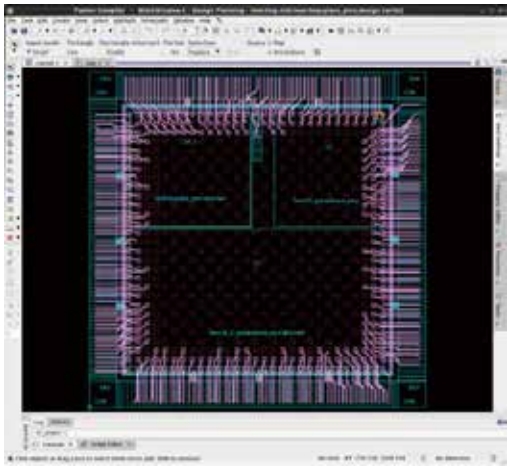

図1：RTLからGDSIIまでをサポートしたFusion Compilerの統合コックピット

Fusion データ・モデル

Fusion Compilerの単一データ・モデルには論理情報と物理情報の両方が含まれており、ライブラリ、データ、制約、設計意図をインプリメンテーション・フロー全体で共有できます。この先進のデータ・モデルは、極めて大規模なデザインでも最小限のメモリー占有量でサポートできるように設計されています。Fusion Compilerの大きな特長は、合成ツールとインプリメンテーション・ツールが相互のテクノロジにアクセスでき、これら2つのドメイン間で最適化エンジンを共有できる点にあります。Fusion Compilerは合成から配置配線、サインオフまですべてのエンジンを1つのデータ・モデル上で統合し、データ転送を無くすことによってスループットを最大限に高めており、最短期間での設計クロージャが可能です。

結果達成までの期間を 1/2 に短縮

Fusion Compilerは、UPS（Unified Physical Synthesis）最適化フローにより論理合成とフィジカル・インプリメンテーションの垣根を取り払い、RTLからGDSIIまでのターンアラウンド・タイム（TAT）を最短化します。また、先端ノードを使用したデザインの複雑さにも対処できるスケーラブルなアーキテクチャ、および数億インスタンスを扱えるネイティブな階層型の設計インフラストラクチャも採用しています。あらゆるデザイン・スタイルをサポートする堅牢なシステムと完全な機能セットにより、最適なフロアプラン構成を最短期間で生成します。フロー全体で主要なエンジンがマルチスレッディングおよび分散処理に対応するなど、並列化テクノロジによってハードウェア・リソースの利用効率が向上しており、設計が短期間で収束し、デザイン・クロージャまでの期間を短縮できます。合成、配置、最適化、CTS、配線など主要なインプリメンテーション・エンジンの刷新により、デザイン・インプリメンテーションの大幅な高速化を実現しています。Fusion Compilerは、フロー全般を通じてサインオフ品質のエンジンを採用しているため、過剰な設計マージンを追加する必要がなく、フローの終盤で収束の問題が発生することもありません。

消費電力、性能、面積の結果品質が最大 20% 向上

Fusion Compilerは、RTLフィジカル・シンセシス・ドメインと配置配線ドメインの両方にまたがる独自の革新的なソリューションを提供します。これには、フロアプランニングと合成の交互実行、フィジカル考慮データパス表現、フィジカル・インプリメンテーション時のロジック再合成、共通のUPS最適化エンジンなどが含まれ、これによって結果品質が最大20%向上します。UPSはFusion Compilerのすべての最適化機能の中枢となるもので、次世代の論理合成および配置配線最適化エンジンを支える最先端のテクノロジを統合することにより、短期間での設計収束を実現します（図2）。また、UPSはレイヤ考慮最適化、マクロ・スキュー調整、先進の2Dリーガライズ・エンジン、配線ドリブン推定（RDE）による混雑度モデリング、コンカレント・クロック・データ（CCD）、マルチビット・バンキング/デバンキング、トータル・パワー中心の最適化、自動NDR（Non-Default Rule）、ビア・ラダー・サポートなど、先進ノードに対応した最先端の機能も備えています。

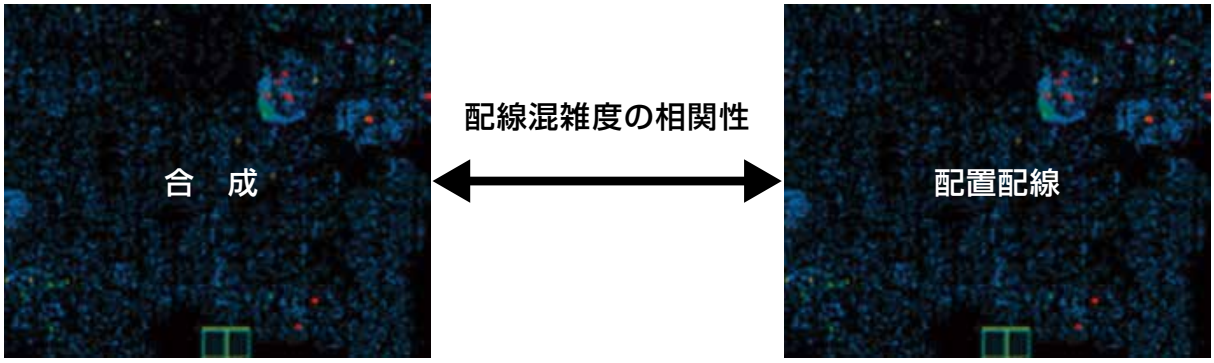

図2：UPSにより抜群の相関性と結果品質を達成

先端ノードをサポート

Fusion Compilerは、マルチ・パターニングおよびFinFETを考慮した包括的なソリューションで、大手ファウンドリのすべての先端ノードで認証されています。合成の段階でUPSの高度なリーガライズ・エンジンがタイミングと面積の制約を満たすようにトレードオフを考慮しながら、インバウンド・セルと通常のスタンダード・セル、およびマルチビット・レジスタを取り扱います。配置エンジンはフィン・グリッド（図3）、注入に関する間隔ルール、連続拡散、可変しきい値セルの間隔ルール、交差ルールをサポートし、マルチ・パターニングの違反を最小限に抑えます。配線エンジンはカットメタル考慮配線、優先グリッド拡張、ビア･ピラー、インテリジェントなマルチ･パターニング回避および修正など複雑な配線ルールをサポートしています。

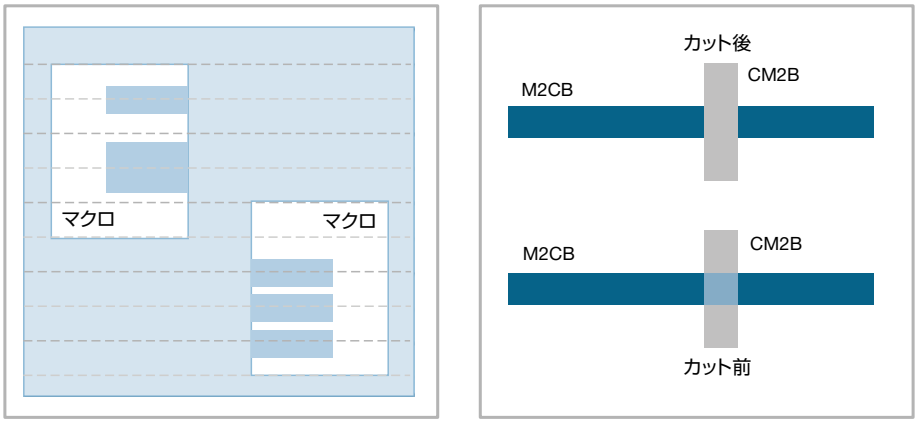

図3：Fusion Compilerによるフィン・グリッドとカットメタルのサポート

日本シノプシス合同会社

〒158-0094　東京都世田谷区玉川2-21-1　二子玉川ライズ オフィス　TEL.03-6746-3500(代) FAX.03-6746-3535
〒531-0072　大阪府大阪市北区豊崎3-19-3　ピアスタワー13F　TEL.06-6359-8139(代) FAX.06-6359-8149

© Synopsys, Inc. All rights reserved.Synopsysは、米国およびその他の国におけるSynopsys, Inc.の商標です。
シノプシスの商標一覧は、synopsys.com/copyright.html をご参照ください。その他の名称は、各社の商標または登録商標です。

10/22/18.CS281327235_fusion-compiler-ds.