

可将数据转换器IP成功集成到系统芯片的12种设计技术

2013

作者 概述

新思科技Synopsys应用工程经理
Roberto Guerreiro

新思科技Synopsys数据转换器技术营销经理
Manuel Mota

为了满足苛刻性能和快速运行要求，今天的系统，从通讯接口到高品质图像视频和多媒体系统，各种消费类应用广泛采用了数字信号处理技术。数据转换器成为现实世界模拟信号与数字域之间的接口。因此，数据转换器是完整信号处理链上的重要组成部分，而信号处理是每台消费电子设备上不可或缺的一部分。

尽管数据转换器设计复杂，但IP厂商能够为系统芯片（SoC）设计师提供几乎可以满足任何系统要求的数据转换器。此外，为了提供适合系统芯片集成的数据转换器，Synopsys等知名的数据转换器IP厂商采用了尖端的电路和架构技术，使它们在严苛的系统芯片环境中仍然坚固耐用。这些电路和架构技术（不在本文讨论范围之内）可以免除大系统芯片中常见的衬底和电源噪声影响，以及对制程、温度和电压变化表现稳定。

不过，为了实现数据转换器IP性能最大化，系统芯片设计师必须应对将数据转换器与系统芯片集成的挑战，避免危害整个系统性能的缺陷。

数据转换器IP集成之所以会被认为错综复杂，其原因是它要求精心的手动布局布线。但是，通过深入了解影响性能的潜在问题，系统芯片设计师可以具备成功集成达到预期性能的所有技术手段。

本白皮书系统地介绍了12种简化设计技术，这些技术解决了系统集成中的所有常见问题，有助确保在系统芯片中成功集成高性能数据转换器。

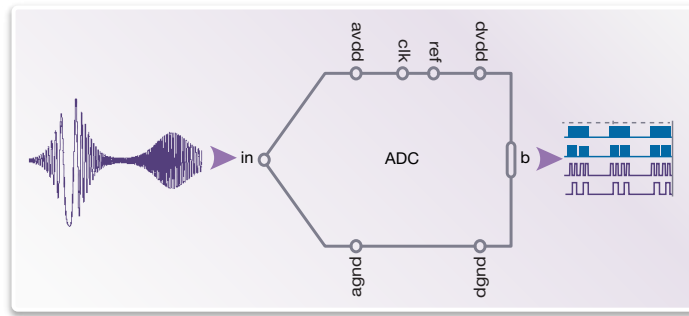


图1. 模拟-数字转换器 (ADC) 框图

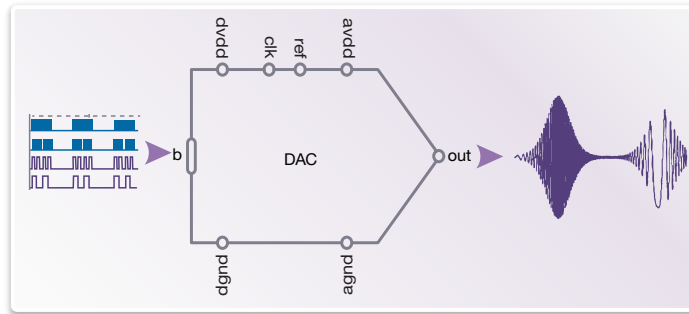


图2. 数字-模拟转换器 (DAC) 框图

数据转换器基础知识

采用最适合系统芯片终端应用的性能、速度和功耗要求的架构与配置，可以选择两种类型数据转换器，即模拟-数字转换器 (ADCs) 和数字-模拟转换器 (DACs)。

从物理集成的角度来看，两种数据转换器的信号接口相似，只不过ADCs是将模拟输入信号转换成数字输出信号 (图1)，而DACs是将数字输入信号转换成模拟输出信号 (图2)。

- ▶ 模拟输入 (in) / 输出 (out) 信号有差分传输和单端传输方式，可有一个、两个或两个以上的通道；
- ▶ 数字输出/输入 (b) 信号是模拟输入/输出信号的数字表现形式；
- ▶ 参考电压可由内部基准电压源或外部输入；
- ▶ 转换时钟 (clk) 可由内部锁相环驱动，或是由芯片外部提供；
- ▶ 可提供电源和接地电源连接，包括模拟电源 (avdd)、数字电源 (dvdd)、模拟接地 (agnd) 和数字接地 (dgnd)

成功的IP集成技术

第三方数字转换器IP在设计过程中考虑到了系统芯片集成和IP运行简单顺畅，没有障碍。但是，随意集成数据转换器可能造成系统性能变差。下面四部分将介绍几种有助确保IP集成成功的简单技术。

1. 首先在系统芯片上做合适的布局

系统芯片其他逻辑块产生的过大噪声会进入数据转换器继而影响其性能。为确保数据转换器与其他逻辑块很好地隔离，物理集成过程的第一步是在系统芯片中合理确定数据转换器的位置。

技术1: 在活跃逻辑 (攻击者) 和模拟模块 (受害者) 之间保持一定距离

对于普通的模拟-数字转换器, 采用这一技术可按照图3中的四个步骤进行操作:

1. 将数据转换器 (如模拟-数字转换器) 远离数字开关电路;
2. 数据转换器数字接口朝向芯片噪声较大区域, 而模拟接口朝向芯片较安静区域;
3. 将时钟源 (如锁相环) 尽可能靠近数据转换器;
4. 如果数据转换器临近区域有数字开关走线或逻辑块, 请设立一个禁入区域 (即没有金属、晶体管或有源区的区域), 以便将数据转换器与逻辑块或布线隔离开。

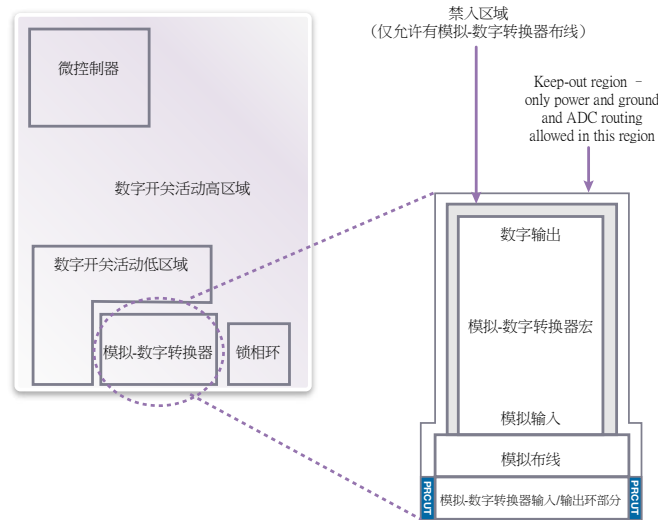


图3. 模拟-数字转换器集成布局指南

技术2: 数据转换器靠近模拟I/O 焊盘

进入模拟-数字转换器输入的任何噪声或不需要的信号将被转换器视为“真”信号, 继而出现在数字输出中。模拟-数字转换器能够区分的最小电压 (用最低有效位 (LSBs) 表示) 决定数据转换器的准确度, 也是模拟-数字转换器最大摆幅 (FS) 及其分辨率 (N) 的函数 (如以下方程所示)。以0.5V峰-峰最大输入摆幅的12位单端模拟-数字转换器为例, 最低有效位范围很小, 仅为 122.1 μ V。

$$LSB = FS/2^N$$

在如此高的准确度要求下, 如果转换的数字信号 (攻击者) 电容耦合 (串扰) 到模拟-数字转换器输入 (受害者), 数字输出信号中耦合的攻击信号的频谱含量可能会超出模拟-数字转换器的噪声本底值, 从而影响系统性能 (频谱纯度)。

同样, 串扰数字-模拟转换器输出对系统性能产生相似的影响, 即转换的数字信号电容耦合到数字-模拟转换器输出可以生成超出数字-模拟转换器噪声本底值的频谱含量。

采用差分输入的模拟-数字转换器, 或是采用差分输出的数字-模拟转换器, 都具有较强的抗共模噪声干扰能力, 因为攻击者均衡地耦合到正负差分信号。为充分利用这种高抗噪声干扰能力, 使用这些数据转换器应同时采用正确屏蔽和外部信号布线等设计技术。

当数据转换器需要外部基准时也会出现类似的问题。由于基准决定数据转换器的满幅输入摆幅, 如果噪声或不需要的信号与基准耦合, 就会成为数据转换器输出信号的一部分。

图 4a显示了28纳米12位Sigma-DeltaIQ模拟-数字转换器频谱, 可以看到转换器输入与基准信号之间有耦合。这会导致第二谐波 (h2) 能量过大, 将总谐波失真 (THD) 降低近14dB。相反, 图4b显示的是相同IQ模拟-数字转换器在耦合消除后的性能, 这会使总谐波失真改善, 达到-72dBc。

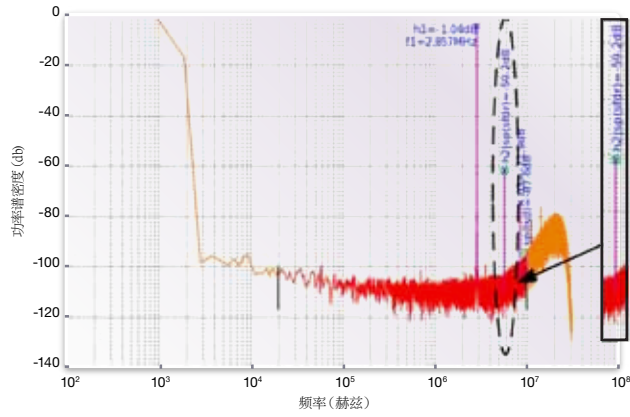


图 4a

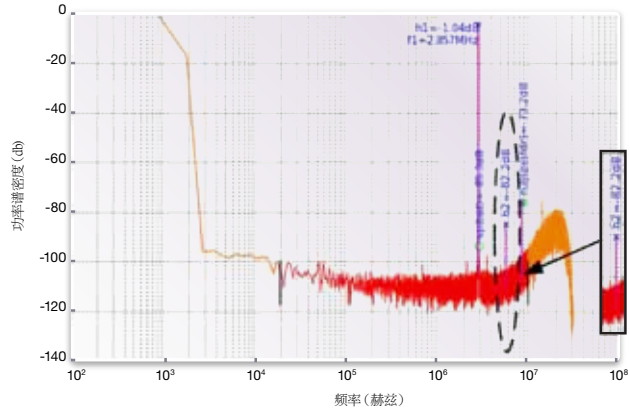


图 4b

基准对流经非零电阻（电阻压降）基准路径的非零电流造成的压降很敏感。这一效应会在转换中产生系统性的偏移（offset）和增益误差（gain error）。

考虑到这些影响，将数据转换器正确植入系统芯片之后，下一步就是对转换器和I/O之间的模拟信号进行布线，同时采用以下技术：

技术3: 保持模拟布线路径简短

保持模拟布线路径尽可能简短，使无关信号不太可能耦合到模拟I/O出或基准中。

技术4: 增加屏蔽

为尽可能减少关键模拟信号的噪声耦合或串扰，特别是在串扰无法避免的情况下，设计人员应在攻击者和受害者轨迹之间增加屏蔽。图5 介绍了增加有效屏蔽的正确方法：通过中间层（金属N+1）将以金属N布线的模拟信号轨迹A和B与以金属N+2布线的噪声信号C屏蔽开来，完全覆盖重叠区域，并与干净的模拟接地电源连接。通过在临近信号增加金属层走线，可在同层的金属间（分别是金属N与N+2）实现进一步屏蔽隔离。

只有在必须的情况下才增加屏蔽，而且是不沿着所有路径，以避免不必要地增加信号寄生电容。

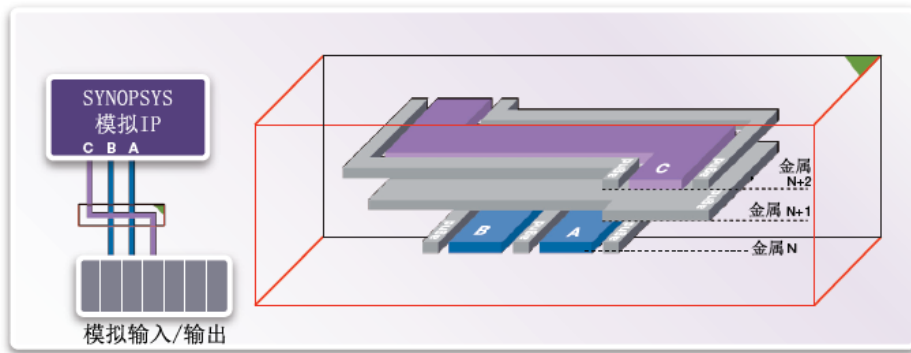


图5. 右侧：将模拟信号轨迹A和B与攻击信号C屏蔽开；
左侧：右上侧截面视图

技术5: 保持差分走线

为确保模拟差分信号的共模噪声抑制达到最佳效果，设计师应根据电阻、长度、电容性负载和其他信号的寄生电容耦合、邦定线特征和印刷电路板 (PCB) 线路等等，对差分信号布线匹配。图6是从模拟-数字转换器到I/O匹配后的输入（红色 Vinp和蓝色Vinn）布线。

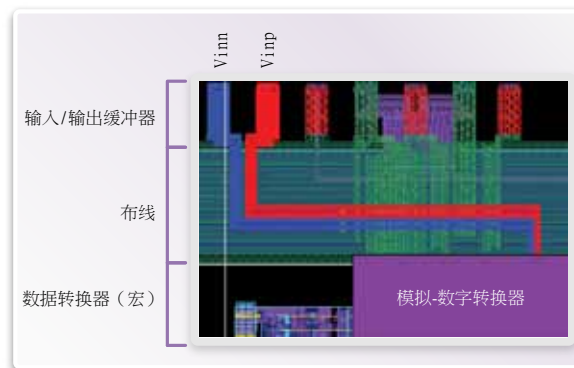


图 6. 模拟-数字转换器的部分布线- 蓝色Vinn和红色Vinp差分信号对的对称布线

技术6: 限制电阻压降或阻抗

可通过以下方式确保布线串联电阻不超过数据转换器提供商注明的最大电阻值：

- ▶ 尽量缩短布线距离
- ▶ 使用宽金属布线
- ▶ 尽量使用多个金属层走线
- ▶ 使用大量 vias进行连接

数字输出/输入布线还要求认真仔细地部署。但是，由于布线是在自动数字集成流程中处理，它们的部署自然需要遵循相应的技术，因此不在本文讨论之列。

3. 保持低时钟抖动

基于数据转换器的系统性能，如通讯接口，取决于采样时钟的质量。模拟-数字转换器信号采样瞬间的不确定性增加了转换噪声，因而降低了转换器性能。采样瞬间的不确定性称为“抖动”。

时钟抖动($\sigma_{t_{clk}}$) 决定了数据转换器可达到的最大理论 SNR(信噪比)值。图7显示信噪比是采样时钟抖动的一个函数，将信噪比、时钟抖动和信号频率(F_{in}) 关联起来。以模拟-数字转换器固有的65dB信噪比(SNRADC)为例。

从图7可以看出，采样时钟抖动 对转换性能(信噪比)的影响与系统处理低频率信号无关。但是，采样时钟抖动的影响随着所处理信号的频率增强而增加

$$SNR = -20\log(2F_{in}\sigma_{t_{clk}})$$

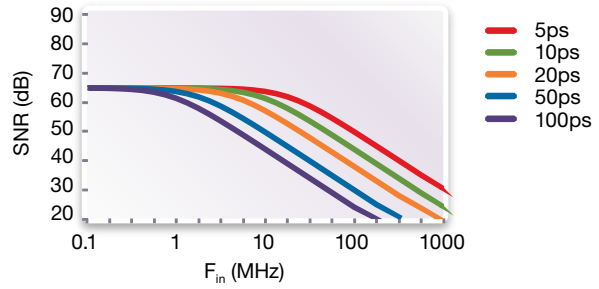


图7. $SNR_{ADC} = 65$ dB 的数据转换器采样时钟抖动造成信噪比降低

因此，系统芯片设计师在设计中必须考虑到这种影响，可以采用以下技术保证采样时钟质量：

技术7: 将时钟源靠近数据转换器

将锁相环靠近数据转换器，可降低外部信号耦合到时钟线并造成时钟抖动的可能性。

技术 8: 检查时钟沿速率

对于时钟路径上的任何电路而言，应保证有足够的驱动强度限制时钟的转换速率。时钟沿转换时间长会增加噪声敏感性，因而增加抖动（如图8所示）。根据经验，~100ps的转换时间是适当的。

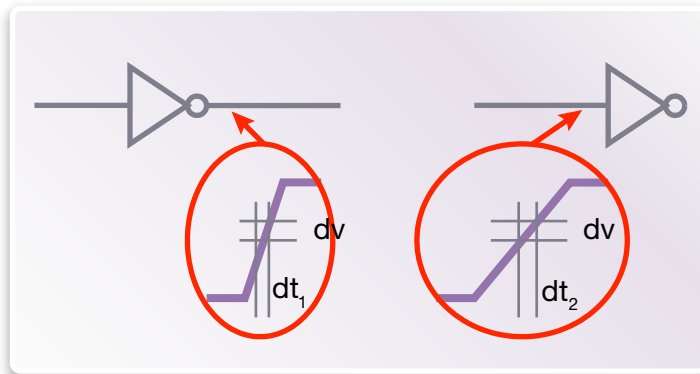


图 8. 时钟信号沿速率慢会增加转换期间的噪声敏感性

技术9: 尽量减小电源域转换

由于信号沿着时钟网络进展，并在不同的电源域进行转换，信号会受到不同电源的电源噪声耦合的影响。这会导致抖动增加。因此，时钟路径中的所有缓冲器应由同一个电源域（无论是源极电源或终极电源）供应电源。

图 9是系统芯片内时钟分布网络的示例。如图所示，锁相环在vdd2电源域生成时钟为四个模块所用，它们是：两个模拟-数字转换器（ADC1和ADC2）、一个数字-模拟转换器和一个通用逻辑块。在这个图中，repeater单元由源极电源（锁相环buffer, vdd2）或是由终极电源（vddadc1、vddadc2或 vddotr）供电。

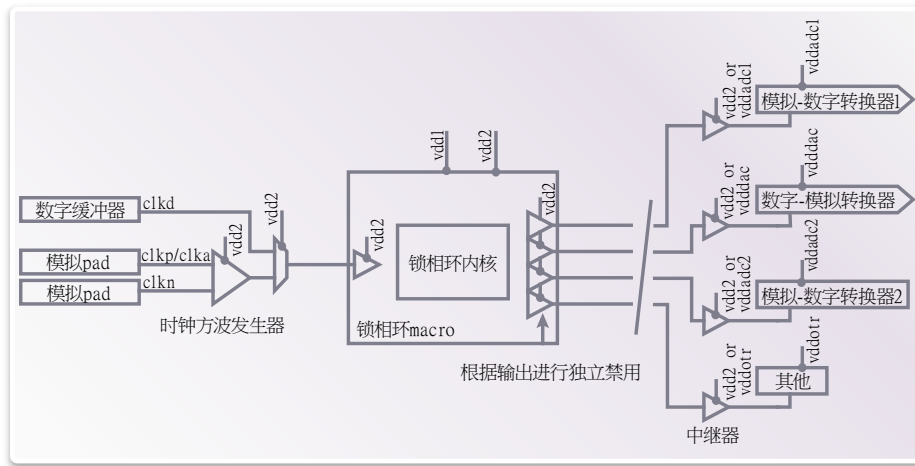


图9. 最小化时钟网络电源

技术 10: 将时钟信号与攻击信号 屏蔽开

将时钟信号与攻击信号屏蔽开，目的是避免噪声与时钟耦合并减少抖动。图10介绍了一种屏蔽信号的方法。在图中，信号路径为M1（蓝线），在各个方向与电路中的其他信号屏蔽开。屏蔽层通常与时钟网络相同的接地电位连接。

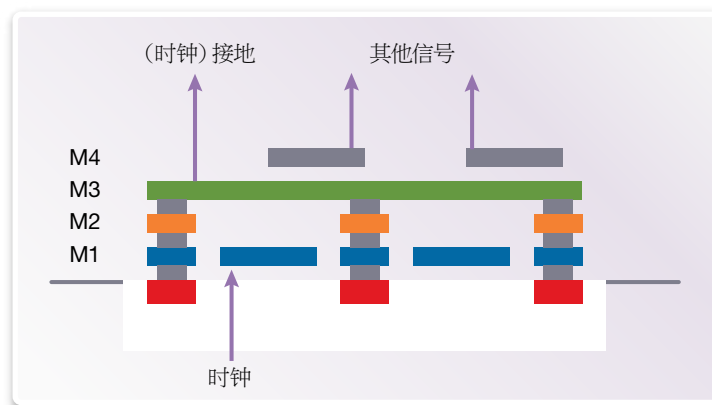


图10. 屏蔽线（同轴屏蔽）横截面。被屏蔽的信号在M1层（蓝色），屏蔽部署在M1到M4层

4. 保持电源和接地电源干净

任何模拟电路的电源抑制比（PSRR）都是有限的。电源和接地电源噪声过大可能影响性能。处理宽带信号时更是如此，原因是低频率时抑制比高，但高频率时抑制比自然会降低。因此，模拟电源应保持干净，并且使用时应正确去耦合电容。

还有些其他影响，如布线电阻过大可能导致直流（DC）电压压降超出数据转换器工作范围，还可能造成交流（AC）电压响应数据转换器的自生纹波噪声变慢，可以采用以下技术。

技术11: 保持电源和接地布线电阻够小

设计师应遵循数据转换器厂商的建议，使电源和接地布线电阻在限制范围内。这些限制的目的是确保数据转换器的电流消耗造成的压降不会使电源电压超出IP的工作范围。此外，如前面所解释的，走线电阻会使自生纹波响应变慢。

技术12: 使用专用的 电源布线

集成多个数据转换器时，设计师应使用专用电源布线，至少包括I0电源。图11a解释了两个IQ-模拟-数字转换器情况下的要求。

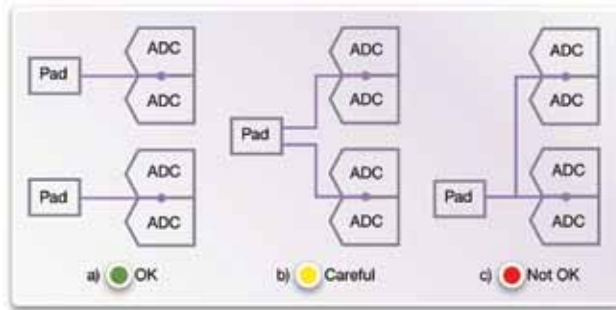


图11. 两个 IQ-ADC macro电源布线示例
a) 首选解决方案; b) pad数量最小化的解决方案; c) 不正确的电源布线

对于pad数量受限的系统, 只要数据转换器使用相同的时钟频率和相位, 多个数据转换器就可以共用相同的I/O电源(如图11b所示)。布线必须与I/O电源(采用星形连接)隔离, 并保持电源分布对称。图11c 图示说明了不正确的电源分布。在这个例子中, 电源分布没有保持对称, 造成性能降低和串扰。

结论

任何模拟电路的电源抑制比(PSRR)都是有限的。电源和接地电源噪声过大可能影响性能。处理宽带信号时更是如此, 原因是低频率时抑制比高, 但高频率时抑制比自然会降低。因此, 模拟电源应保持干净, 并且使用时应正确去耦合电容。

通过在系统芯片设计中选用Synopsys数据转换器IP, 设计师将经过优化的数据转换器IP集成在系统芯片中, 满足应用要求和应对系统芯片的恶劣环境。

除了选择IP外, IP物理集成部署不正确会影响系统性能。采用本白皮书中的技术有助于系统地解决IP集成挑战。

除提供高质量、可靠耐用的数据转换器IP进行系统芯片集成外, Synopsys可在集成过程中提供广泛的工程支持(包括详细的集成指南、集成检查清单和由经验丰富的新思科技应用工程师专门进行集成审核)并简化系统芯片集成过程, 有助于确保芯片一次成功。

Synopsys具有超过十五年的数据转换IP研发与应用经验, 可提供全面的、经硅验证的200多种DesignWare® 数据转换器IP产品, 包括过采样sigma delta模拟-数据转换器、流水线型模拟-数字转换器、逐次逼近型模拟-数字转换器(SAR ADCs)和电流舵数字-模拟转换器。DesignWare数据转换器IP产品具有非常低的功率损耗, 占用面积小, 支持从180纳米到28纳米的制程。

References

- ¹P. Figueiredo: 《应用数字转换器IP满足移动设备的电源和速度要求》白皮书, Synopsys公司2011年10月发布
- ²M. Mota: 《利用高速传输数字-模拟转换器简化宽带传输系统》(ChipEstimate.com) - 技术专题讨论, 2012年7月发表
- ³M. Mota: 《认识时钟抖动对数据转换器性能的影响并设法减少影响》白皮书, Synopsys公司2010年7月发布。
- ⁴C. Leme: 《时钟抖动对采样的影响》, IEEE 2011年第三季度《电路与系统》杂志。

如需更多信息, 请访问网站: www.synopsys.com/IP/AnalogIP/DataConversion。