

PRESSEMITTEILUNG

PrimeTime 2010 ermöglicht Timing-Analyse für mehr als 500 Millionen Instanzen

*HyperScale-Technologie erzielt fünf- bis zehnfache Steigerung der
Performance und Kapazität*

MOUNTAIN VIEW, Kalif., USA — 14. Juni 2010—Synopsys, Inc. (Nasdaq: SNPS), weltweit führender Anbieter von Software und IP zum Entwurf, zur Verifikation und zur Fertigung integrierter Schaltungen, hat heute die neue PrimeTime™-HyperScale-Technologie vorgestellt, die eine Statische Timing-Analyse (STA) für mehr als 500 Millionen Instanzen ermöglicht. Die PrimeTime-HyperScale-Technologie gibt Entwicklungsingenieuren den erforderlichen Einblick, um viele der Timing-Integrations- und Timing-Closure-Probleme zu lösen, denen sie in heutigen Designflows für umfangreiche Systems-on-Chip (SoC) begegnen, und steigert dabei die Performance und Kapazität um den Faktor fünf bis zehn.

Um die Multimedia-Pressemitteilung zu sehen, klicken Sie hier:
<http://www.synopsys.com/Company/PressRoom/Pages/NewsRelease.aspx>

Die PrimeTime-HyperScale-Technologie passt nahtlos zu aktuellen Prozessen der physikalischen Implementierung großer SoCs, bei denen Entwürfe blockweise implementiert und dann auf Chip-Ebene für die endgültige Timing-Closure sowie Signoff zusammengesetzt werden. Sie verbessert den Timing-Closure-Prozess, indem Entwicklungsingenieure einen besseren Mechanismus erhalten, um bereits in einem früheren Entwurfsstadium das Timing-Verhalten auf Blockebene im Kontext des Gesamt-Chip-Timings zu untersuchen. Durch direkte Wiederverwendung der Timing-Analyse-Ergebnisse und Constraints auf Blockebene ermöglicht die HyperScale-Technologie eine fünf- bis zehnfache Steigerung der Gesamt-Chip-STA-Laufzeit sowie der Tool-Kapazität, und das ohne die Genauigkeitsbeschränkungen gegenwärtiger Modellierungstechniken. Ihre Auto-Generation-Fähigkeiten versorgen Entwickler über den gesamten Design-Prozess hinweg mit akkuraten und aktuellen Timing-Kontexten für den Chip sowie den Einzelblock, was zu besseren Entscheidungen und weniger Iterationen zum Erreichen der Timing-Closure führt.

“Wir haben mit Synopsys zusammengearbeitet, um die Herausforderung zu bestehen, die Timing-Analyse- und Signoff-Prozesse zu skalieren, nachdem unsere Designs sich der 500-Millionen-Instanzen-Grenze nähern,” berichtet Jim Miller, Corporate Vice President des Bereichs Design Engineering bei Advanced Micro Devices. “Wir betrachten die

Presse-Info

Weitere Informationen erhalten Sie von:

PR Agentur HBI
Helga Bailey GmbH
Markus Krause
Stefan-George-Ring 2
81929 München
Tel.: 089 / 99 38 87-0
Fax: 089 / 930 24 45
markus_krause@hbi.de

PrimeTime-HyperScale-Technologie als eine natürliche Weiterentwicklung, um eine langfristige Skalierbarkeit zu erzielen, indem die Methoden zur physikalischen Implementierung und zur Timing-Analyse besser aufeinander abgestimmt werden. Dies erlaubt uns, viel früher im Designflow mit dem Timing-Closure-Prozess zu beginnen. Wir sind begeistert von den Perspektiven der PrimeTime-Hyperscale-Technologie und haben hohe Erwartungen hinsichtlich der potenziellen Laufzeit-, Kapazitäts- und Produktivitätsvorteile, die aus diesem Ansatz resultieren können.”

Die neue PrimeTime-HyperScale-Technologie verbessert die existierende Implementierungsplattform Galaxy™, indem ein präziserer Timing-Kontext geschaffen wird, um die Timing-Closure in IC Compiler voranzutreiben. Außerdem arbeitet die HyperScale-Technologie mit bestehenden PrimeTime-Features wie Signal-Integrity-(SI)-Analyse, Advanced-On-Chip-Variation-(AOCV)-Analyse, Multi-Scenario-Analyse sowie Threaded-Multicore-Analyse, wodurch Design-Teams in die Lage versetzt werden, die STA-Produktivität weiter zu steigern und den Zeitaufwand für die Timing-Closure insgesamt zu verringern.

“Mit exponentiell zunehmender Komplexität von SoCs wird die Skalierbarkeit des Designflows zu einem entscheidendem Faktor zur Aufrechterhaltung der Produktivität,” meint Antun Domic, Senior Vice President und Geschäftsführer der Synopsys Implementation Group. “Mit der HyperScale-Technologie erfährt die 2010.06-Release von PrimeTime einen signifikanten Innovationsschub, der die STA-Skalierbarkeit für die nächsten fünf bis zehn Jahre sichert. Diese Release repräsentiert einen wichtigen Meilenstein hinsichtlich des Erreichens einer hohen Design-Team-Produktivität sowohl heute als auch in Zukunft.”

In ähnlichen Mitteilungen hat Synopsys heute zwei weitere Produktivitätsverbesserungen im Rahmen seines Galaxy-Signoff-Produktportfolios vorgestellt. Die neue in Synopsys' Custom-Parasitic-Extraction-Lösung StarRCTM enthaltene Rapid3D-Technologie erzielt eine bis zu 20-fache Extraktionsbeschleunigung für die Sub-45nm-Custom-IC-Design- und Library-Charakterisierung. Außerdem wird durch die neueste Release von Liberty™ NCX eine bis zu siebenfache Erhöhung der Charakterisierungsgeschwindigkeit erreicht, und für die physikalische Implementierung mit IC Compiler sowie für die Timing-Analyse mit PrimeTime sind effizienteste Composite-Current-Source-(CCS)-Modelle verfügbar. All dies lässt Entwickler schneller zur Timing Closure kommen und erhöht ihre Produktivität.

Verfügbarkeit

Die PrimeTime-HyperScale-Technologie befindet sich derzeit in der Phase eingeschränkter Verfügbarkeit. Ausgewählte Kunden haben Zugriff auf die PrimeTime-SI-2010.06-Release.

Über Synopsys

Synopsys, Inc. (Nasdaq:SNPS) ist ein weltweit führender Anbieter von Electronic-Design-Automation-(EDA)-Software für Entwürfe im Halbleiterbereich und versorgt

den globalen Elektronikmarkt mit der nötigen Software, Intellectual Property (IP) und Dienstleistungen für den Entwurf und die Fertigung von Halbleiterprodukten. Synopsys' umfassendes, integriertes Portfolio von Implementierungs-, Verifikations-, IP-, Fertigungs- und Field-Programmable-Gate-Array-(FPGA)-Lösungen hilft, den entscheidenden Herausforderungen zu begegnen, die sich Entwicklern und Herstellern heutzutage stellen, beispielsweise Power- und Yield-Management, Software-to-Silicon-Verifikation und Time-to-Results. Diese technologie-führenden Lösungen unterstützen die Kunden von Synopsys dabei, konkurrenzfähig zu sein und beste Produkte bei gleichzeitig reduzierten Kosten und Entwurfsrisiken rasch auf den Markt zu bringen. Synopsys hat seinen Hauptsitz in Mountain View, Kalifornien, und unterhält mehr als 65 Büros in Nordamerika, Europa, Japan, Asien und Indien. Besuchen Sie Synopsys online unter <http://www.synopsys.com/>.

Vorausschauende Aussagen

Diese Pressemitteilung enthält vorausschauende Aussagen innerhalb der Bedeutung des Abschnitts 27A des Securities Acts von 1933 und des Abschnitts 21E des Securities Exchange Acts von 1934, einschließlich Aussagen bezüglich des erwarteten Nutzens der PrimeTime-HyperScale-Technologie. Diese Aussagen basieren auf gegenwärtigen Erwartungen und Überzeugungen. Tatsächliche Ergebnisse könnten materiell von diesen Aussagen abweichen, was das Resultat unvorhergesehener Schwierigkeiten bei der technischen Realisierung, von Unsicherheiten, die mit der Einführung eines jeden neuen Produkts einhergehen, sowie anderer im Abschnitt 10-K des Synopsys-Jahresberichts für das zum 31. Oktober 2009 endende Geschäftsjahr und darauf folgenden Formblättern 10-Q unter der Rubrik „Risk Factors“ enthaltenen Aussagen sein kann.

###

Synopsys, Galaxy, Liberty, PrimeTime und StarRC sind eingetragene Warenzeichen oder Warenzeichen von of Synopsys, Inc. Alle anderen in dieser Mitteilung erwähnten Warenzeichen oder eingetragenen Warenzeichen sind geistiges Eigentum ihrer jeweiligen Besitzer.